

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196073

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 29/78

H01L 21/265

H01L 21/28

H01L 21/8238

H01L 27/092

H01L 21/336

(21)Application number : 10-370756

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.12.1998

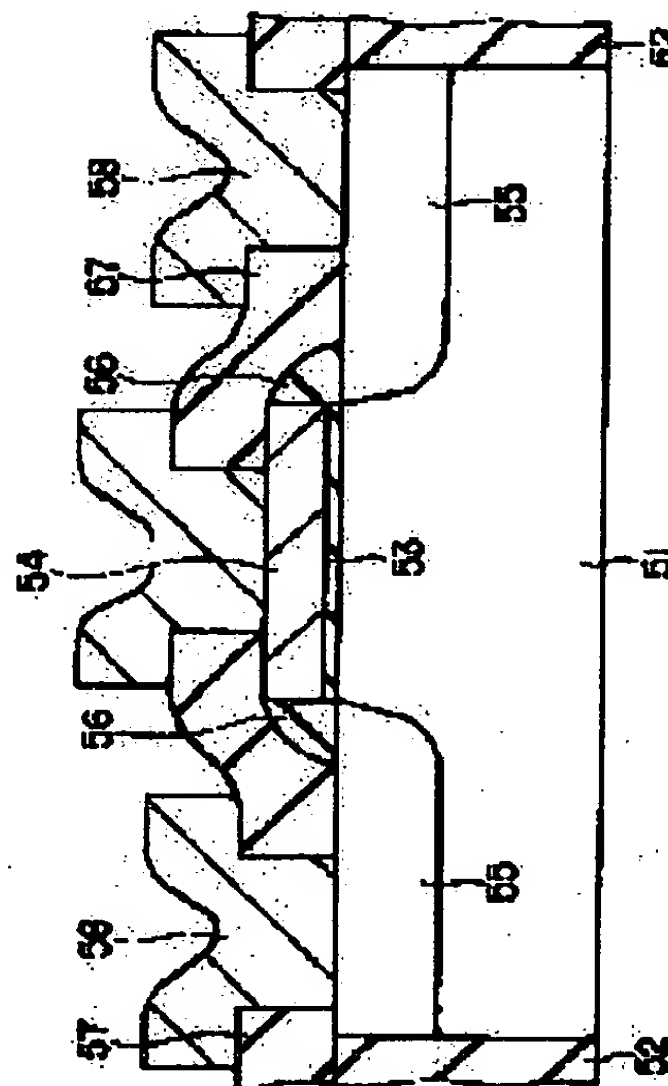
(72)Inventor : SATAKE HIDEKI  
MITANI YUICHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To optimize the concentration profile of halogen elements of a gate insulating film or a substrate.

**SOLUTION:** This is the manufacturing method of a semiconductor device which has a gate electrode 54 made via a gate insulating film 53 on a first conductivity semiconductor substrate 51 and second conductivity diffused layer 55 made in the regions corresponding to both ends of this gate electrode and to serve as a source and a drain. At this time, this manufacturing method has a process of forming an insulating film 56 containing halogen elements at the flank, at least of the gate electrode and a process of introducing the halogen elements contained in this insulating film into the surface region of the gate insulating film and the semiconductor substrate through heat treatment.



## LEGAL STATUS

[Date of request for examination]

14.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3376305

[Date of registration] 29.11.2002

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

### Translation of relevant portions of citation 3

Japanese Patent Publication No.2000-196073

Date of publication: July 14, 2000.

#### Paragraphs [0024] to [0069]

Mode for Carrying Out the Invention      The embodiments of the present invention will now be explained in the following.

Embodiment 1      Fig. 1 is view showing the cross-sectional constitution of the MIS transistor relating to a first embodiment. Numeral 51 is a p-type silicon substrate, numeral 52 is an isolation region, numeral 53 is a fluorine-containing gate insulating film, numeral 54 is a gate electrode composed of polycrystalline silicon and numeral 55 is diffusion layers (source/drain regions) into which an n-type impurity is introduced. Numeral 56 is a fluorine-containing insulating film (for example, a CVD silicon oxide film) formed around the sidewalls of gate electrode 54, and from this insulating film 56, fluorine atoms are introduced into gate insulating film 53 by thermal diffusion. Accordingly, in gate insulating film 53 and silicon substrate 51 in the neighborhood of the interface of gate insulating film 53, more halogen elements are introduced into the region corresponding to the neighborhood of the end portion of gate electrode 54 than into the region corresponding to the neighborhood of the central portion of gate electrode 54. Numeral 57 is an interlaminar insulating film (a CVD silicon oxide film or the like) and through contact holes provided in this interlaminar layer 57, gate electrodes 54 and source/drain regions 55 are connected to Al wiring 58.

Next, by reference to Fig. 2, a first method for manufacturing an MOS transistor having a structure shown in Fig. 1 will be mainly explained centering the step of introducing fluorine into gate insulating film 53 and silicon substrate 51 from silicon oxide film 56.

First, on a p-type silicon substrate 51 having a surface orientation (100) and a specific resistance of 4 to 6  $\Omega\text{cm}$ , trenches for isolation are formed by reactive ion etching. Successively, by filling, for example, an LP-TEOS film into the

trenches, and isolation regions 52 are formed [Fig. 2(a)].

Then, for example, at 750°C at 1 atm, silicon substrate 51 is exposed to a mixed gas of an oxygen gas and a hydrogen gas to form a silicon oxide film. Furthermore, by exposing the silicon oxide film to a nitrogen monoxide gas (NO) diluted with a nitrogen gas to 10% or a dinitrogen monoxide gas (N<sub>2</sub>O), for example, at 900°C, a gate insulating film 53 obtained by introducing nitrogen atoms into the silicon insulating film is formed [Fig. 2(b)].

Next, a polycrystalline silicon film is deposited on the entire surface by the CVD method and this polycrystalline silicon film is patterned, and gate electrode 54 is formed. Successively, with the use of a mixed gas of an SiH<sub>4</sub> gas diluted with a nitrogen gas and an NH<sub>3</sub> gas, for example, at 450°C at a pressure of 10 mTorr to 1 atm, for example, a CVD silicon nitride film 56 having a thickness of 50 to 2,000 Å is deposited. Thereafter, fluorine ions are injected into the entire surface at an acceleration voltage of 10 to 50 keV with a dose of  $1 \times 10^{13}$  to  $1 \times 10^{16}$  cm<sup>-2</sup>. Furthermore, for example, at a temperature of 300 to 850°C for 1 to 60 minutes, the substrate is exposed in a nitrogen gas atmosphere to introduce the fluorine atoms injected into CVD silicon nitride film 56 into p-type silicon substrate 51 and silicon insulating film 53 [Fig. 2(c)].

The following steps are the same as the steps of manufacturing the conventional MOS transistor. Specifically, for example, at an acceleration voltage of 20 keV with a dose of  $1 \times 10^{15}$  cm<sup>-2</sup>, arsenic ions are injected to form source region/drain regions. Successively, a CVD silicon oxide film which comes to an interlaminar insulating film is deposited by the CVD method on the entire surface, and contact holes are opened in this interlaminar insulating film. Successively, an Al film is deposited on the entire surface by the sputtering method and this Al film is patterned, and the MOS transistor having a structure shown in Fig. 1 is completed.

Next, by reference to Fig. 3, a second method for manufacturing an MOS transistor having a structure shown in Fig.

1 will be explained.

First, on a p-type silicon substrate having a surface orientation (100) and a specific resistance of 4 to 6  $\Omega\text{cm}$ , trenches for isolation are formed by reactive ion etching. Successively, by filling, for example, an LP-TEOS film into the trenches, and isolation regions 52 are formed [Fig. 3(a)].

Then, for example, at 750°C at 1 atm, silicon substrate 51 is exposed to a mixed gas of an oxygen gas and a hydrogen gas to form a silicon oxide film. Furthermore, by exposing the silicon oxide film to a nitrogen monoxide gas (NO) diluted with a nitrogen gas to 10% or a dinitrogen monoxide gas ( $\text{N}_2\text{O}$ ), for example, at 900°C, a gate insulating film 53 obtained by introducing nitrogen atoms into the silicon insulating film is formed [Fig. 3(b)].

Next, a polycrystalline silicon film is deposited on the entire surface by the CVD method and this polycrystalline silicon film is patterned, and a gate electrode 54 is formed. Successively, for example, at 600 to 1,000°C at a pressure of 10 mTorr to 1 atm, the substrate is exposed to a mixed gas of an oxygen gas and an  $\text{NF}_3$  gas to form a fluorine-containing silicon oxide film 56a having a thickness of 10 to 200 Å around gate electrode 54. Successively, with the use of a mixed gas of an  $\text{SiH}_4$  gas diluted with a nitrogen gas and an  $\text{NH}_3$  gas, for example, at 450°C at a pressure of 10 mTorr to 1 atm, for example, a CVD silicon nitride film 56b having a thickness of 50 to 2,000 Å is deposited. Furthermore, for example, at a temperature of 300 to 850°C for 1 to 60 minutes, the substrate is exposed in a nitrogen gas atmosphere to introduce fluorine atoms from silicon oxide film 56a into p-type silicon substrate 51 and silicon insulating film 53 [Fig. 3(c)].

Thereafter, through the same steps as explained in Fig. 2, the MOS transistor having a structure shown in Fig. 1 is completed.

Furthermore, in this embodiment, the method of forming a fluorine-containing silicon insulating film around the gate electrode is not limited to the above described example. For example, at 750 to 1,050°C, the gate electrode is exposed to

a mixed gas atmosphere of an oxygen gas and a hydrogen gas added with a halide such as  $\text{NF}_3$  and the surface of the polycrystalline silicon which comes to a gate electrode may be oxidized. Further, around the gate electrode composed of a polycrystalline silicon film, a fluorine-containing silicon film may be formed with the use of a mixed gas of an  $\text{SiH}_4$  gas diluted with a nitrogen gas and an  $\text{NH}_3$  gas or a mixed gas of an oxygen gas, a hydrogen gas and an  $\text{NF}_3$  gas. Furthermore, around the gate electrode composed of a polycrystalline silicon film, a fluorine-containing silicon nitride film may be formed with the use of a mixed gas of an  $\text{SiH}_4$  and an  $\text{NF}_3$  gas.

Further, as shown in Fig. 4, silicon insulating films 56c to 56f having different fluorine concentrations are laminated on the sidewalls of gate electrode 54, and from these laminated films, fluorine may be introduced into gate insulating film 53 and silicon substrate 51. By increasing the fluorine concentration in the order of 56c to 56f, the fluorine profile in the neighborhood of the end portion of the gate electrode can be varied as shown by dotted lines.

As described above, in this embodiment, by introducing fluorine from the insulating film formed around the gate electrode into the gate insulating film and the silicon substrate in the neighborhood of the interface of the gate insulating film, more halogen atoms can be introduced into the region corresponding to the neighborhood of the end portion of the gate electrode than the region corresponding to the neighborhood of the central portion of the gate electrode. Thus, by appropriately controlling the fluorine concentration in the insulating film or the heat treatment conditions on diffusing fluorine, the formation of a gate insulating film having a desired fluorine concentration and a fluorine profile and a channel region becomes possible.

Embodiment 2 Next, a method for manufacturing an MIS transistor relating to a second embodiment of this invention will be explained.

Fig. 5(a) to Fig. 7(1) are step cross-sectional views showing the example of the first manufacturing steps of this

embodiment.

First, for example, an n-type silicon substrate 1 having a surface orientation (100) and a specific resistance of 4 to 6  $\Omega\text{cm}$  is prepared, and on the surface of this n-type silicon substrate, about 0.6  $\mu\text{m}$ -thick isolation insulating films 2 are formed by the conventional selective oxidation method. Successively, a p-type dopant is selectively injected by highly accelerated energy, and furthermore heat treatment is performed at high temperatures to form a well region 3 [Fig. 5(a)].

Then, by thermal oxidation, a 3 to 8 nm-thick gate insulating film (silicon oxide film) 4 is formed, and furthermore a 200 nm-thick polycrystalline silicon film 5 is formed as a gate electrode [Fig. 5(b)].

Next, with the use of a resist mask 8a, the entire surface of the gate parts in the region where a p channel MOSFET is to be formed and in the region where an n channel MOSFET is to be formed is masked. Successively, by the reactive ion etching method, the polycrystalline silicon film is etched to form a gate electrode 5a in the p-channel MOSFET region [Fig. 5(c)].

Then, the resist mask is removed, and thereafter  $\text{BF}_2$  ions 6 are injected, for example, at an acceleration voltage of 30 keV with a dose of  $5 \times 10^{14} \text{ cm}^{-2}$  to form diffusion layer regions 10a on the p-channel MOSFET side. In this instance, the  $\text{BF}_2$  ions are also injected into the polycrystalline silicon film of the p channel MOSFET and the polycrystalline silicon film of the n channel MOSFET region [Fig. 5(d)].

Next, with the use of a resist mask 8b, the entire surface of the gate parts where the n channel MOSFET is to be formed and the region where the p channel MOSFET is to be formed is masked. Successively, the polycrystalline silicon film is etched by the reactive ion etching method to form a gate electrode 5b in the n channel MOSFET region [Fig. 6(e)].

Then, after removing the resist mask 8b, the p channel region alone is again masked with a resist mask 8c. Successively, arsenic ions or phosphorus ions are injected into the entire surface, for example, at an acceleration voltage of 30 keV with a dose of  $1 \times 10^{15} \text{ cm}^{-2}$  to form diffusion layer regions

10b on the n channel MOSFET side. In this instance, the above described ions are also injected into the polycrystalline silicon film 5b in the n channel MOSFET region [Fig. 6(f)].

Next, by the LP-CVD method, about 10 nm-thick sidewall insulating films composed of a silicon nitride film are formed on the sidewalls of gate electrodes 5a and 5b. These sidewall insulating films are obtained, for example, by depositing a 10 nm-thick silicon nitride film by the CVD method and thereafter performing anisotropic dry etching [Fig. 6(g)].

Then, with the use of a resist mask 8d, the n channel MOSFET region is masked and boron ions 9 are injected, for example, at an acceleration voltage of 20 keV with a dose of  $3 \times 10^{15} \text{ cm}^{-2}$  to form p-type source/drain diffusion regions 11a. In this instance, the boron ions are also injected into polycrystalline silicon film 5a in the p channel MOSFET region. In this ion injection step, the range of boron ions can be shortened in the above described  $\text{BF}_2$  injection step since the polycrystalline silicon surface and the substrate surface have been rendered amorphous [Fig. 6(h)].

Next, the p channel MOSFET region is masked with a resist 8e and arsenic ions or phosphorus ions 7 are injected, for example, at 50 keV with  $3 \times 10^{15} \text{ cm}^{-2}$  to form n-type source/drain diffusion layers 11b. In this instance, the above described ions are also injected into polycrystalline silicon 5b in the n channel MOSFET region. After removing the resist mask, the substrate is heat-treated in a nitrogen atmosphere at  $950^\circ\text{C}$  for one minute to activate the dopants in each electrode and in each source/drain diffusion layer. In this instance, the fluorine injected as  $\text{BF}_2$  ions into each of gate electrodes 5a and 5b diffuses into each of gate oxide films 4 by the heat treatment [Fig. 7(i)].

Then, a 25 nm-thick titanium film and a 50 nm-thick titanium nitride film are successively deposited by the sputtering method. Then, heat treatment is performed in a nitrogen atmosphere at  $700^\circ\text{C}$  for one minute to react all the titanium film with the polycrystalline silicon (gate electrode) and the silicon substrate, and a titanium silicide film 13 is formed



only on the gate electrodes and the source/drain diffusion layer regions. Thereafter, titanium nitride film 13 and unreacted titanium film on the insulating film are peeled, for example, with an aqueous solution of hydrofluoric acid and a mixed solution of sulfuric acid and hydrogen peroxide [Fig. 7(j)].

Next, after depositing a 300 nm-thick silicon oxide film 14 as an interlaminar insulating film on the entire surface by the CVD method, contact holes 15 are opened in the silicon oxide film by anisotropic dry etching [Fig. 7(k)].

Then, after forming a 800 nm-thick aluminum film containing, for example, 0.5% of each of silicon and copper, this aluminum film is patterned, and wiring 16 to be connected to the gate electrodes and the source/drain diffusion layers is formed. Thereafter, heat treatment is performed in a nitrogen atmosphere containing 10% of hydrogen at 450°C for 15 minutes [Fig. 7(l)].

Further, in this example,  $\text{BF}_3$  is used as an ion species used in injecting fluorine into the gate electrodes but the ion species is not limited to this  $\text{BF}_3$  and, for example, a fluoride ion of silicon, a fluoride ion of arsenic or phosphorus or an ion of a fluorine-containing arsenic or phosphorus compound may be used (the same as in the subsequent other examples of manufacturing steps).

Fig. 8(a) to Fig. 11(m) are step cross-sectional views showing the second manufacturing steps of this embodiment.

First, an n-type silicon substrate 1 having, for example, a surface orientation (100) and a specific resistance of 4 to 6  $\Omega\text{cm}$  is prepared, and on the surface of this n-type silicon substrate, about 0.6  $\mu\text{m}$ -thick isolation insulating films 2 are formed by the conventional selective oxidation method. Successively, a p-type dopant is selectively injected by highly accelerated energy and further heat-treatment is performed at high temperatures to form a well region 3 [Fig. 8(a)].

Then, by thermal oxidation, a 3 to 8 nm-thick gate insulating film (silicon oxide film) 4 is formed, and furthermore a 200 nm-thick polycrystalline silicon film 5 is formed as a gate electrode [Fig. 8(b)].

Next,  $\text{BF}_2$  ions 6 are injected into the entire surface of the silicon substrate, for example, at 30 keV with a dose of  $5 \times 10^{14} \text{ cm}^{-2}$ . Thereafter, heat treatment is performed in a nitrogen atmosphere, for example, at  $850^\circ\text{C}$  for 30 minutes. In this instance, the fluorine injected into the polycrystalline silicon as a  $\text{BF}_2$  ion thermally diffuses into the gate oxide film 4 [Fig. 8(c)].

Then, with the use of a resist mask 8a, the entire surface of the gate parts in the region where a p channel MOSFET is to be formed and in the region where an n channel MOSFET is to be formed is masked. Successively, by the reactive ion etching method, the polycrystalline silicon film is etched to form a gate electrode 5a in the p-channel MOSFET region [Fig. 8(d)].

Next, by injecting  $\text{BF}_2$  ions 6, for example, at an acceleration voltage of 30 keV with a dose of  $5 \times 10^{14} \text{ cm}^{-2}$ , diffusion layer regions 10a are formed on the p-channel MOSFET side [Fig. 9(e)].

Then, after removing the resist mask, the entire surface of the gate parts in the n channel MOSFET and the p channel MOSFET region is masked with a resist mask 8b. Successively, the polycrystalline silicon film is etched by the reactive ion etching method to form a gate electrode 5b in the n channel MOSFET region [Fig. 9(f)].

Next, after removing the resist mask, the p channel region alone is again masked with a resist 8c. Successively, arsenic ions or phosphorus ions 7 are injected into the entire surface, for example, at an acceleration voltage of 30 keV with a dose  $1 \times 10^{15} \text{ cm}^{-2}$  to form diffusion layer regions 10b on the n-channel MOSFET side. In this instance, the above described ions are also injected into the polycrystalline silicon film 5b of the n channel MOSFET region [Fig. 9(g)].

Then, with the use of the LP-CVD method, about 10 nm-thick sidewall insulating films 12 composed of a silicon nitride film are formed [Fig. 10(h)].

Next, with the use of a resist mask 8d, the n channel MOSFET region is masked. Successively, boron ions 9 are injected, for example, at an acceleration voltage of 20 keV with a dose of

$3 \times 10^{15} \text{ cm}^{-2}$  to form p-type source/drain diffusion regions 11a. In this instance, the boron ions are also injected into polycrystalline silicon film 5a in the p channel MOSFET region. In this ion injection step, the range of boron ions can be shortened in the above described  $\text{BF}_2$  injection step since the polycrystalline silicon surface and the substrate surface have been rendered amorphous [Fig. 10(i)].

Then, the p channel MOSFET region is masked with a resist 8e and successively, arsenic ions or phosphorus ions 7 are injected, for example, at 40 keV with a dose of  $3 \times 10^{15} \text{ cm}^{-2}$  to form n type source/drain diffusion layers 11b. In this instance, the above described ions are also injected into polycrystalline silicon film 5b in the n channel MOSFET region. Next, the substrate is heat-treated in a nitrogen atmosphere at  $950^\circ\text{C}$  for one minute to activate the dopants in each electrode and in each source/drain diffusion layer. In this instance, the fluorine injected into each of gate electrodes 5a and 5b as  $\text{BF}_2$  ions diffuses into each gate oxide film by the heat treatment [Fig. 10(j)].

Next, a 25 nm-thick titanium film and a 50 nm-thick titanium nitride film are successively deposited on the entire surface by the sputtering method. Successively, heat treatment is performed in a nitrogen atmosphere at  $700^\circ\text{C}$  for one minute to react all the titanium film with the polycrystalline silicon (gate electrode) and the silicon substrate, and a titanium silicide film 13 is formed only on the gate electrodes and the source/drain diffusion layer regions. Thereafter, titanium nitride film 13 and unreacted titanium film on the insulating film are peeled, for example, with an aqueous solution of hydrofluoric acid and a mixed solution of sulfuric acid and hydrogen peroxide [Fig. 11(k)].

Then, after depositing a 300nm-thick silicon oxide film 14 as an interlaminar insulating film on the entire surface by the CVD method, contact holes 15 are opened in the silicon oxide film by anisotropic dry etching [Fig. 11(l)].

Next, after forming a 800 nm-thick aluminum film containing, for example, 0.5% of each of silicon and copper, this aluminum

film is patterned, and wiring 16 to be connected to the gate electrodes and the source/drain diffusion layers is formed. Thereafter, heat treatment is performed in a nitrogen atmosphere containing 10% of hydrogen at 450°C for 15 minutes [Fig. 11(m)].

Further, in this example,  $\text{BF}_2$  is used as an ion species used in injecting fluorine into the gate electrodes but the ion species is not limited to this  $\text{BF}_2$  and, for example, a fluoride ion of silicon, a fluoride ion of arsenic or phosphorus or an ion of a fluorine-containing arsenic or phosphorus compound may be used. Further,  $\text{BF}_2$  ions are used in the formation of diffusion layers 10a in the p-channel MOSFET but boron may be injected at a low acceleration voltage, for example, at 5 keV. In this case, since excess fluorine is not introduced into the gate oxide films from the source/drain diffusion layers, highly reliable gate oxide films can be obtained.

Fig. 1

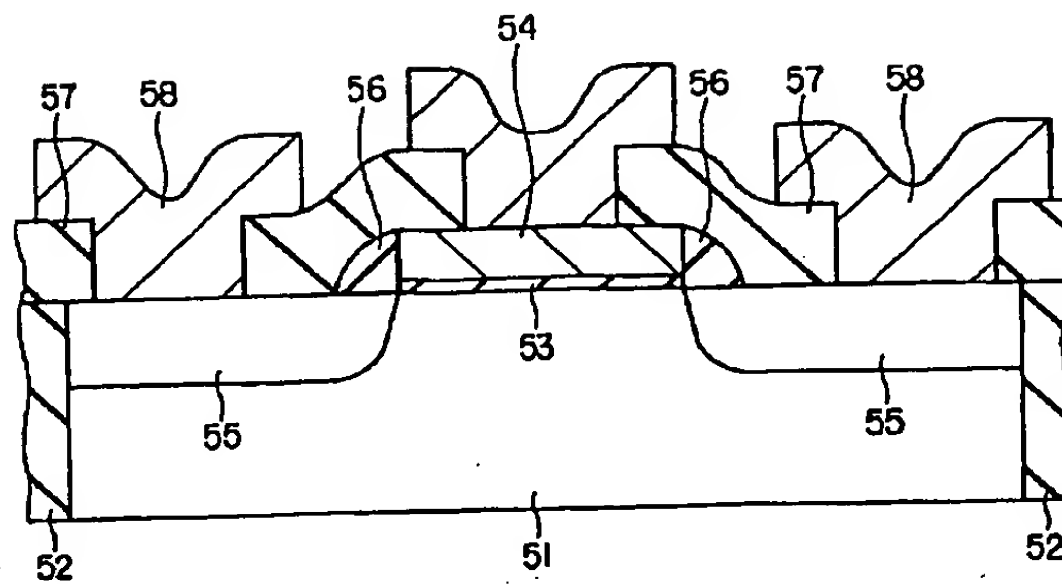
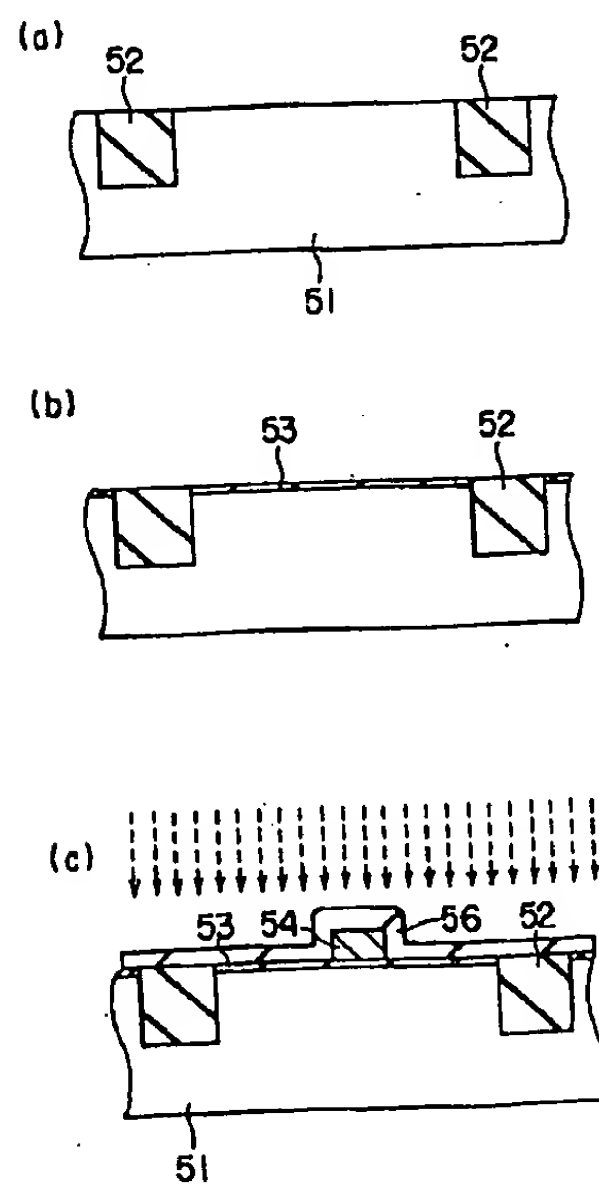
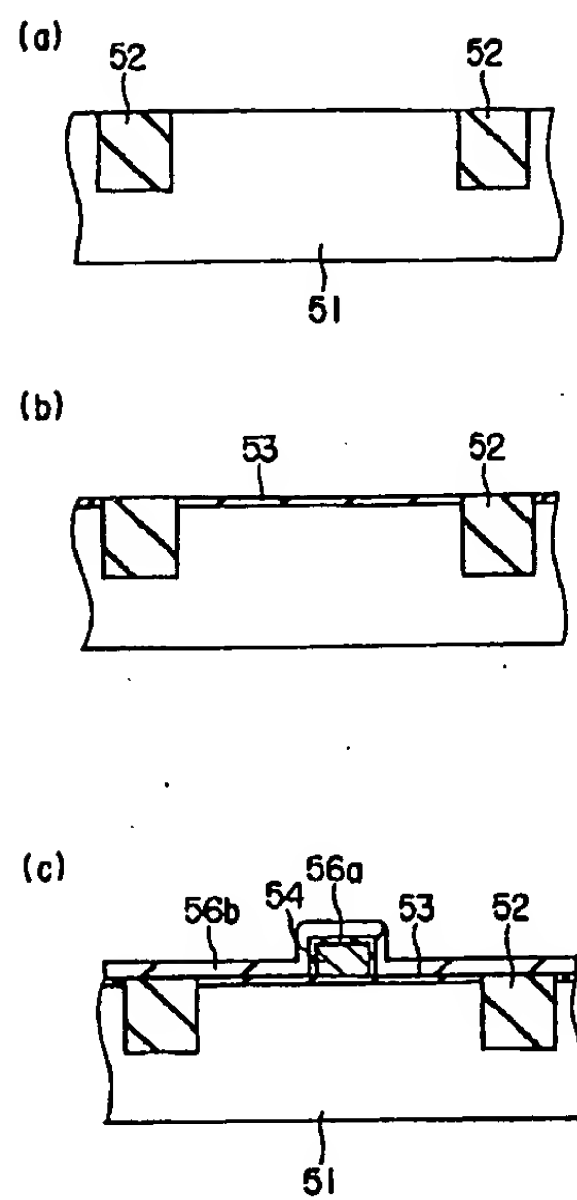


Fig. 2



**Fig. 3**



**Fig. 4**

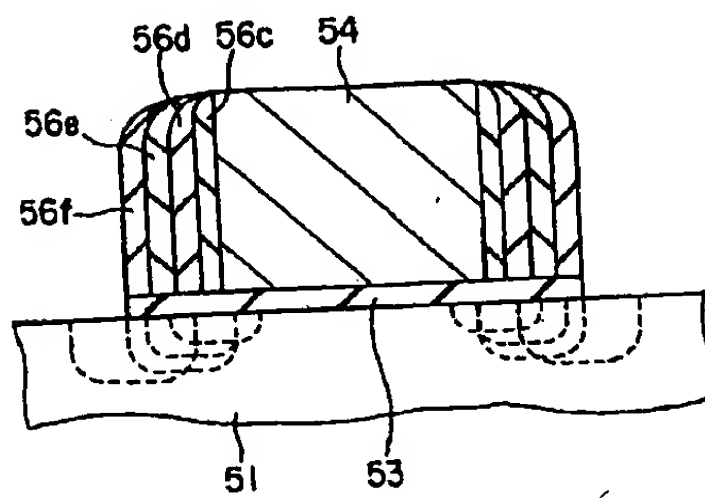


Fig. 5

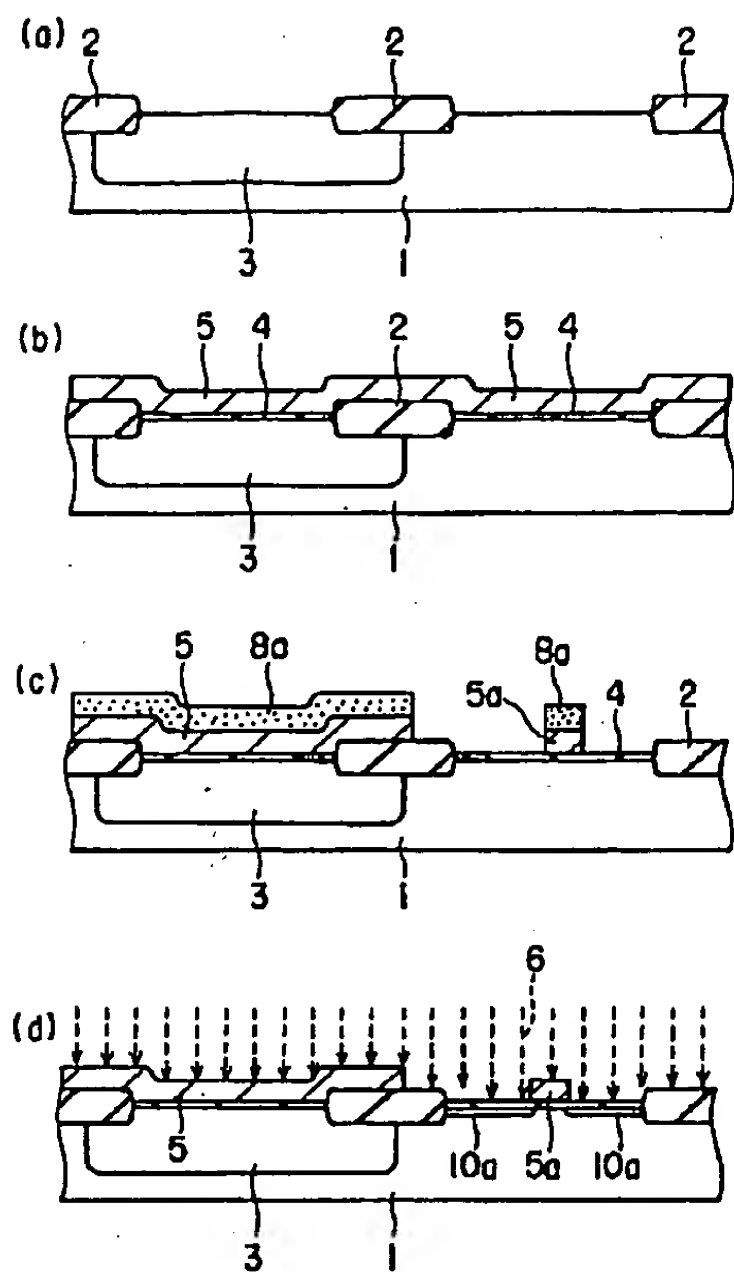


Fig. 6

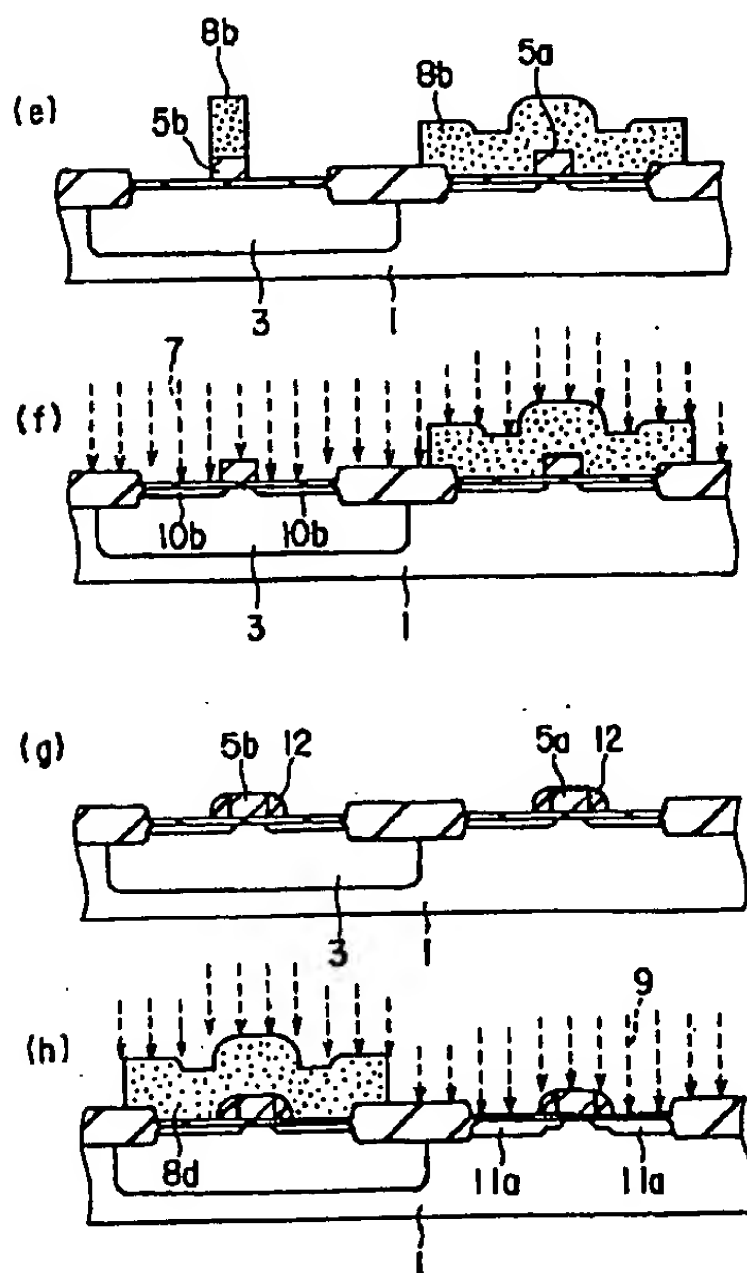






Fig. 9

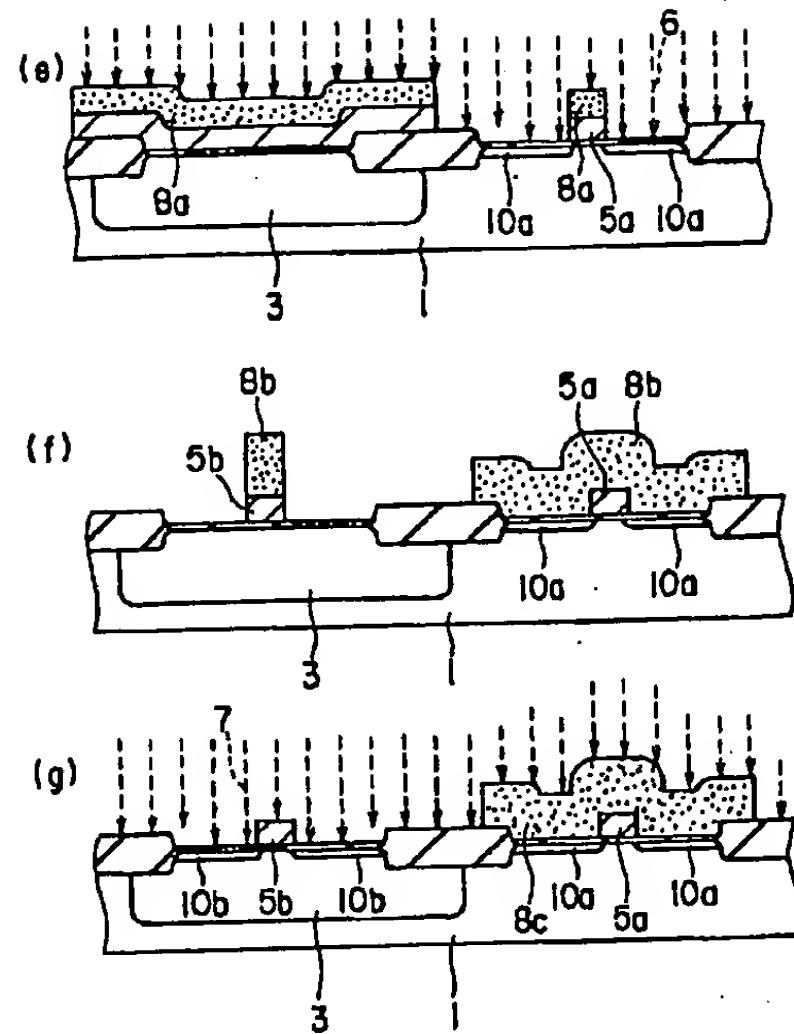


Fig. 10

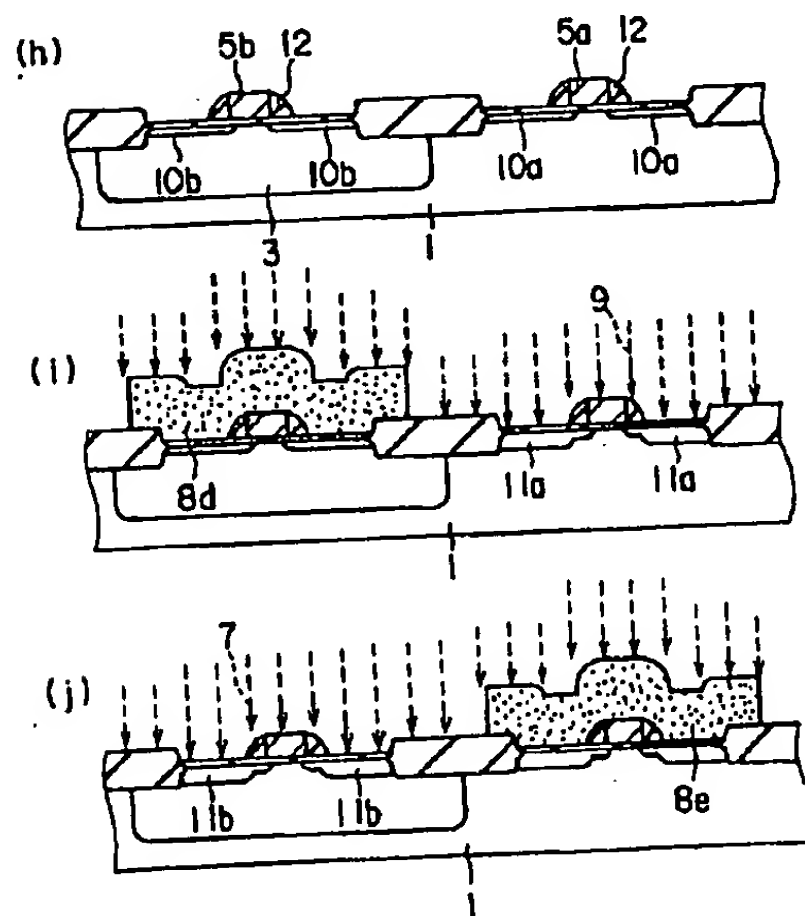
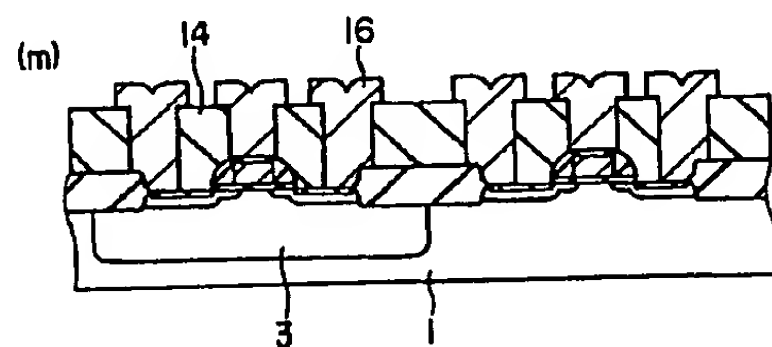
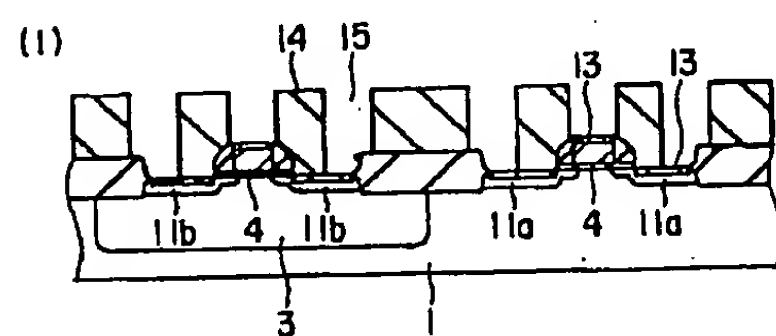
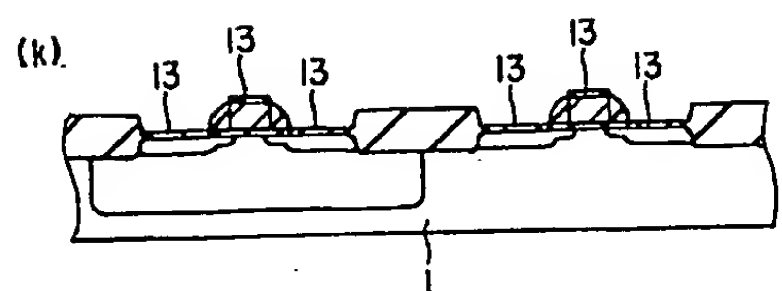


Fig. 11



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196073

(P2000-196073A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/265		21/28	B 5 F 0 4 0
21/28		21/265	Z 5 F 0 4 8
21/8238		27/08	3 2 1 D
27/092		29/78	3 0 1 P
審査請求 未請求 請求項の数 3 O L (全 17 頁) 最終頁に続く			

(21) 出願番号 特願平10-370756

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐竹 秀喜

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 三谷 祐一郎

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

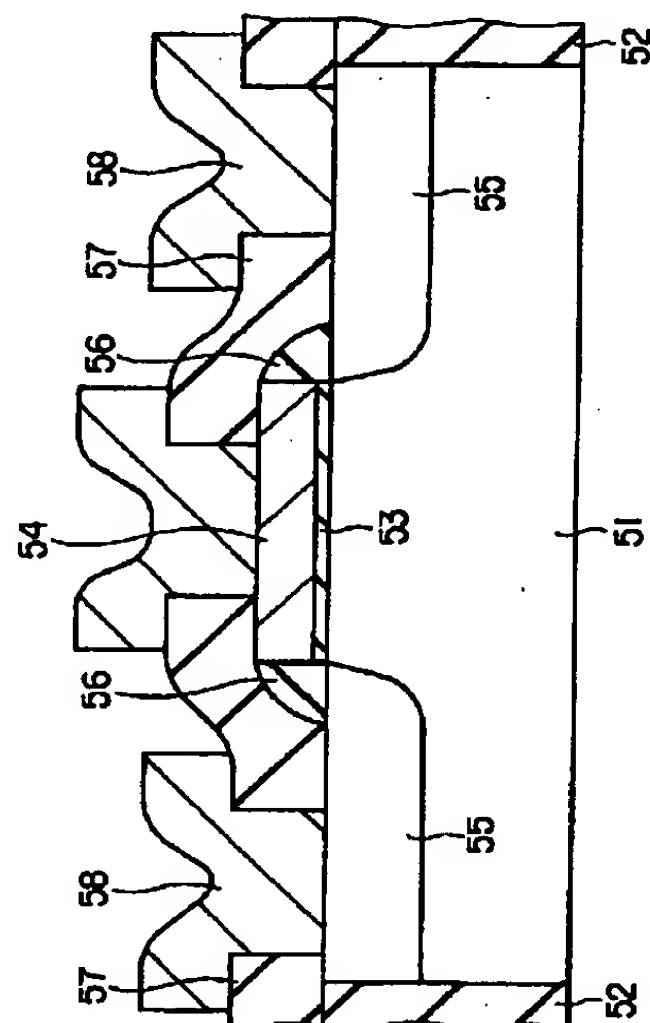
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート絶縁膜や基板のハロゲン元素の濃度プロファイルを最適化することを可能にする。

【解決手段】 第1導電型の半導体基板51上にゲート絶縁膜53を介して形成されたゲート電極54と、このゲート電極の両端に対応した領域に形成されソース・ドレイン領域となる第2導電型の拡散層55とを有する半導体装置の製造方法において、ゲート電極の少なくとも側面にハロゲン元素を含有する絶縁膜56を形成する工程と、この絶縁膜に含まれるハロゲン元素を熱処理によってゲート絶縁膜及び半導体基板の表面領域に導入する工程とを有する。



## 【特許請求の範囲】

【請求項1】第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両端に対応した領域に形成されソース・ドレイン領域となる第2導電型の拡散層とを有する半導体装置の製造方法において、ゲート電極の少なくとも側面にハロゲン元素を含有する絶縁膜を形成する工程と、この絶縁膜に含まれるハロゲン元素を熱処理によってゲート絶縁膜及び半導体基板の表面領域に導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両端に対応した領域に形成されソース・ドレイン領域となる第2導電型の拡散層とを有する半導体装置の製造方法において、ゲート電極にハロゲン元素化合物を導入する工程と、このゲート電極に導入されたハロゲン元素化合物に含まれるハロゲン元素を熱処理によって少なくともゲート絶縁膜に導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】前記ハロゲン元素化合物は、ドナー又はアクセプタとなる不純物元素とハロゲン元素とを含む化合物であることを特徴とする請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、LSIの高性能化・高速化に伴い、MISトランジスタはしだいに微細化してきており、MISトランジスタのゲート絶縁膜も急速に薄膜化してきている。そのため、極薄のゲート絶縁膜を均一かつ高信頼性で形成する技術が求められている。

【0003】また、EEPROMに代表されるような、ゲート絶縁膜がトンネル絶縁膜として利用される素子では、書き込み及び消去の際に高電界がゲート絶縁膜に印加される。ゲート絶縁膜に高電界が印加されることにより、電界から高いエネルギーを得た電子が絶縁膜を通過するため、ゲート絶縁膜に対しては高い絶縁破壊耐性が要求される。

【0004】このような要求に対し、シリコン酸化膜に代表されるゲート絶縁膜中にハロゲン元素、特にフッ素を導入することで、膜質が改善されることが知られている。また、フッ素原子をシリコン/シリコン酸化膜界面に導入することで、界面準位生成が抑制されることについても、いくつかのグループから報告されている（例えば、Y. Nishioka et al., IEEE Electron Device Lett. 10, p. 141-143 (1989)）。さらに、フッ素原子をシリコン基板中に導入することで、pn接合の逆方

向リーク電流を抑制できるという報告もある。

【0005】フッ素のゲート絶縁膜や基板への導入方法としては、ゲート電極中にフッ素をイオン注入し、このフッ素を熱拡散によってゲート絶縁膜や基板に導入する方法が知られている。

【0006】しかしながら、ゲート電極からゲート絶縁膜や基板にフッ素を導入する方法では、ゲート電極下のゲート絶縁膜や基板中のフッ素濃度、特にトランジスタのチャネル長方向のフッ素濃度が均一化したものとなり、ゲート絶縁膜や基板のフッ素濃度のチャネル長方向のプロファイルを制御することができない。一般に、界面準位抑制に最適なフッ素濃度とpn接合の逆方向リーク電流抑制に最適なフッ素濃度とは同一ではない、すなわち、ゲート電極の中央付近に対応した領域とゲート電極の端部付近に対応した領域とでは最適なフッ素濃度が異なっている（中央付近のフッ素濃度よりも端部付近のフッ素濃度を高くした方がよい）。したがって、チャネル長方向のフッ素濃度プロファイルの制御ができないと、素子全体として信頼性の高い素子を作製することが困難になるという問題がある。

【0007】また、フッ素イオンをイオン注入によってゲート電極に導入する場合、原料ガス例えばBF<sub>3</sub>ガスを電氣的に分解した後、質量分離によりフッ素イオンを取り出し、このフッ素イオンをイオン注入することになる。しかしながら、通常の生産ラインで使用されているイオン注入装置では、フッ素イオンを十分に取り出すことができない。したがって、フッ素のイオン注入工程に長時間を要し、生産性が低下してしまうという問題がある。また、フッ素イオンを質量分離すること自体も、フッ素イオンとOH<sub>3</sub><sup>+</sup>イオンなどとの質量差が僅かであることから、困難である。

【0008】

【発明が解決しようとする課題】以上述べたように、フッ素等のハロゲン元素をゲート電極からゲート絶縁膜や基板中に導入する方法では、ゲート絶縁膜や基板のハロゲン元素の濃度プロファイルを制御することができず、素子全体として信頼性の高い素子を作製することが困難になるという問題があった。

【0009】また、フッ素等のハロゲン元素をイオン注入によってゲート電極に導入する場合、ハロゲン元素イオンを十分に取り出すことができず、イオン注入工程に長時間を費やすという問題があった。

【0010】本発明は上記従来の課題に対してなされたものであり、ゲート絶縁膜や基板のハロゲン元素の濃度プロファイルを最適化することが可能な半導体層装置の製造方法を提供することを第1の目的とする。

【0011】また、イオン注入の際にハロゲン元素イオンを十分に取り出すことができ、イオン注入工程の時間を短縮することが可能な半導体層装置の製造方法を提供することを第2の目的とする。

## 【0012】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両端に対応した領域に形成されソース・ドレイン領域となる第2導電型の拡散層とを有する半導体装置の製造方法において、ゲート電極の少なくとも側面にハロゲン元素を含有する絶縁膜を形成する工程と、この絶縁膜に含まれるハロゲン元素を熱処理によってゲート絶縁膜及び半導体基板の表面領域に導入する工程とを有することを特徴とする（発明Aとする）。

【0013】ハロゲン元素としては、代表的にはフッ素をあげることができる。また、ゲート絶縁膜としては、代表的にはシリコン酸化膜（ $\text{SiO}_2$ ）をあげることができるが、シリコン窒化膜（ $\text{SiN}$ ）やシリコン窒化酸化膜（ $\text{SiON}$ ）等を用いることも可能である。

【0014】ゲート電極の少なくとも側面にハロゲン元素を含む絶縁膜を形成する方法としては、ゲート電極の少なくとも側面に形成された絶縁膜にハロゲン元素をイオン注入する方法、ゲート電極の少なくとも側面に絶縁膜を形成する際にハロゲン元素を含むガスを成膜雰囲気

に導入する方法、などがあげられる。

【0015】本発明によれば、ゲート電極の少なくとも側面（ゲート電極の周囲）に形成された絶縁膜からハロゲン元素をゲート絶縁膜及びゲート絶縁膜下の半導体基板の表面領域に導入するので、ゲート電極の中央付近に対応した領域よりもゲート電極の端部付近に対応した領域により多くのハロゲン元素を導入することができる。すなわち、トランジスタのチャンネル長方向において、中央部よりも端部の方がハロゲン元素の割合が多い濃度プロファイルを得ることができる。したがって、ゲート電極の端部付近に対応した領域のハロゲン元素濃度を高くすることができることから、pn接合の逆方向リーク電流を抑制することができるとともに、ゲート電極の端部付近に対応した領域よりも中央部に対応した領域のハロゲン元素濃度を低くすることができることから、界面準位の生成も効果的に抑制することができる。

【0016】また、本願発明者は、ゲート酸化膜の絶縁破壊及びストレスリーク電流に関して、その起源及び機構について詳細に検討した。その結果、ゲート酸化膜の絶縁破壊機構及びストレスリーク電流の生成機構は、2種類の共通の機構に支配されていることが明らかになった。第1の機構は、ゲート酸化膜中に注入された電子が膜中の $\text{Si-H}$ 結合を切断することによって生じたシリコンのダングリングボンド（ $\equiv\text{Si}\cdot$ ）が原因となるものであり、第2の機構は、膜中の弱い歪んだ $\text{Si-O}$ 結合が切断されて生じたダングリングボンド（ $\equiv\text{Si}\cdot$ ）が原因となるものである。

【0017】ゲート酸化膜の絶縁破壊は、ダングリングボンド（ $\equiv\text{Si}\cdot$ ）に正孔がトラップされてできた3価

のシリコン原子（ $\equiv\text{Si}\cdot$ ）が、シリコン基板からゲート電極まで連結した際に、この連結部が電子のリークパスとなって絶縁破壊が起こる。一方、ストレスリーク電流は、ゲート酸化膜のほぼ中心に位置するダングリングボンド（ $\equiv\text{Si}\cdot$ ）が、電子がトンネリングする際の“飛び石”として作用することによって起こる。従って、ゲート酸化膜厚の膜厚方向の全領域にわたってダングリングボンド（ $\equiv\text{Si}\cdot$ ）が生じないようにすることが重要である。また、 $\text{Si-H}$ 結合量と弱い歪んだ $\text{Si-O}$ 結合量は独立に決定されているのではなくて、相互に比例関係を持って膜中に存在していることもわかった。

【0018】以上のことから、ダングリングボンド（ $\equiv\text{Si}\cdot$ ）をフッ素等のハロゲン元素で終端させることにより、信頼性の高いゲート酸化膜を得ることが可能である。ただし、ハロゲン元素の導入量が多すぎると逆にゲート酸化膜の信頼性が低下してしまうため、ダングリングボンドを終端させるためのハロゲン元素の濃度についても最適値が存在する。一方、すでに述べたように、pn接合の逆方向リーク電流を抑制する観点からは、ゲート電極の端部付近に対応した領域のハロゲン元素濃度を多くすることが好ましい。

【0019】本発明によれば、ゲート電極の端部付近に対応した領域により多くのハロゲン元素を導入することができるので、pn接合の逆方向リーク電流を抑制できると同時に、ダングリングボンドを終端させるためのハロゲン元素の濃度の最適化も達成することが可能であり、ゲート絶縁膜の絶縁破壊耐性の向上とストレス誘起電流生成耐性の向上も実現することができる。

【0020】本発明に係る半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両端に対応した領域に形成されソース・ドレイン領域となる第2導電型の拡散層とを有する半導体装置の製造方法において、ゲート電極にハロゲン元素化合物を導入する工程と、このゲート電極に導入されたハロゲン元素化合物に含まれるハロゲン元素を熱処理によって少なくともゲート絶縁膜に導入する工程とを有することを特徴とする（発明Bとする）。

【0021】前記ハロゲン元素化合物は、イオン注入によってゲート電極に導入することが好ましい。また、前記ハロゲン元素化合物は、ドナー又はアクセプタとなる不純物元素とハロゲン元素とを含む化合物であることが好ましい。さらに、前記ハロゲン元素化合物は、1分子中に2以上のハロゲン元素が含まれた化合物であることが好ましい。

【0022】本発明によれば、ゲート電極にはハロゲン元素化合物の形でハロゲン元素が導入される。したがって、イオン注入の際に、ハロゲン元素化合物を分解したり、質量分離によってフッ素イオンのみを取り出すとい

った処理が不要になり、イオン注入工程を従来よりも短い時間で行うことができる。また、ゲート電極に導入されたハロゲン元素化合物は、熱処理によってハロゲン元素単体としてゲート絶縁膜に導入することができる。したがって、ゲート絶縁膜の膜質が改善される等、すでに述べたようにMIS型半導体素子の特性や信頼性を向上させることができる。

【0023】また、ハロゲン元素化合物としてドナー又はアクセプタとなる不純物元素とハロゲン元素とを含む化合物を用いることにより、ソース・ドレイン領域やポリシリコンゲートへの不純物の導入も同時に行うことが可能となる。また、ハロゲン元素化合物として1分子中に2以上のハロゲン元素が含まれた化合物を用いることにより、効率的にハロゲン元素をゲート電極に導入することができる。

【0024】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0025】（実施形態1）図1は、第1の実施形態に係るMISトランジスタの断面構成を示した図である。

【0026】51はp型シリコン基板、52は素子分離領域、53はフッ素を含んだゲート絶縁膜、54はポリシリコンからなるゲート電極、55はn型不純物が導入された拡散層（ソース・ドレイン領域）である。56はゲート電極54の側壁の周囲に形成されたフッ素を含む絶縁膜（例えばCVDシリコン酸化膜等）であり、この絶縁膜56からの熱拡散によってゲート絶縁膜53中にフッ素原子が導入される。したがって、ゲート絶縁膜53及びゲート絶縁膜53との界面近傍のシリコン基板51には、ゲート電極54の中央付近に対応した領域よりもゲート電極54の端部付近に対応した領域により多くのハロゲン元素が導入されている。57は層間絶縁膜（CVDシリコン酸化膜等）であり、この層間絶縁膜57に設けられたコンタクト孔を介して、ゲート電極54及びソース・ドレイン領域55にAl配線58が接続されている。

【0027】次に、図2を参照して、図1に示したような構造を有するMOSトランジスタの第1の製造方法について、主としてシリコン酸化膜56からゲート絶縁膜53及びシリコン基板51にフッ素を導入する工程を中心

に説明する。

【0028】まず、面方位（100）、比抵抗4～6Ωcmのp型シリコン基板51上に、反応性イオンエッチングにより素子分離のための溝を形成する。続いて、例えばLP-TEOS膜を溝に埋め込むことにより、素子分離領域52を形成する（図2（a））。

【0029】次に、例えば750℃、1気圧において、酸素ガスと水素ガスの混合ガス中にシリコン基板51を晒して、シリコン酸化膜を形成する。さらに、例えば900℃において、窒素ガスで10%に希釈した一酸化窒

素ガス（NO）或いは一酸化二窒素ガス（N<sub>2</sub>O）中にシリコン酸化膜を晒すことにより、シリコン酸化膜中に窒素原子が導入されたゲート絶縁膜53を形成する（図2（b））。

【0030】次に、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450℃、圧力10mTorr～1気圧において、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば50～2000ÅのCVDシリコン窒化膜56を堆積する。その後、加速電圧10～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-2}$ で、フッ素イオンを全面に注入する。さらに、例えば300～850℃の温度で、1～60分間、基板を窒素ガス雰囲気中に晒し、CVDシリコン窒化膜56に注入されたフッ素原子をp型シリコン基板51及びシリコン絶縁膜53中に導入する（図2（c））。

【0031】以後の工程は、通常のMOSトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース領域・ドレイン領域を形成する。続いて、化学気相成長法によって全面に層間絶縁膜となるCVDシリコン酸化膜を堆積し、この層間絶縁膜にコンタクト孔を開孔する。続いて、スパッタ法によって全面にAl膜を堆積し、このAl膜を反応性イオンエッチングによってパターニングすることにより、図1に示したような構造を有するMOSトランジスタが完成する。

【0032】次に、図3を参照して、図1に示したような構造を有するMOSトランジスタの第2の製造方法について説明する。

【0033】まず、面方位（100）、比抵抗4～6Ωcmのp型シリコン基板51上に、反応性イオンエッチングにより素子分離のための溝を形成する。続いて、例えばLP-TEOS膜を溝に埋め込むことにより、素子分離領域52を形成する（図3（a））。

【0034】次に、例えば750℃、1気圧において、酸素ガスと水素ガスの混合ガス中にシリコン基板51を晒して、シリコン酸化膜を形成する。さらに、例えば900℃において、窒素ガスで10%に希釈した一酸化窒素ガス（NO）或いは一酸化二窒素ガス（N<sub>2</sub>O）中にシリコン酸化膜を晒すことにより、シリコン酸化膜中に窒素原子が導入されたゲート絶縁膜53を形成する（図3（b））。

【0035】次に、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば600～1000℃、圧力10mTorr～1気圧において、酸素ガスとNF<sub>3</sub>ガスの混合ガス中に基板を晒して、ゲート電極54の周囲に膜厚10～200Åのフッ素を含んだシリコン酸化膜56aを形成する。続いて、



例えば450℃、圧力10mTorr～1気圧において、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば50～2000ÅのCVDシリコン窒化膜56bを堆積する。さらに、例えば300～850℃の温度で、1～60分間、基板を窒素ガス雰囲気中に晒し、シリコン酸化膜56aからフッ素原子をp型シリコン基板51及びシリコン絶縁膜53中に導入する(図3(c))。

【0036】以後、図2で説明したのと同様の工程を経ることにより、図1に示したような構造を有するMOSトランジスタが完成する。

【0037】なお、本実施形態において、ゲート電極の周囲にフッ素を含んだシリコン絶縁膜を形成する方法は、上述した例に限定されるものではない。例えば、750～1050℃で、酸素ガス及び水素ガスにNF<sub>3</sub>などのハロゲン化合物を添加した混合ガス雰囲気にてゲート電極を晒し、ゲート電極となるポリシリコン膜の表面を酸化してもよい。また、ポリシリコン膜からなるゲート電極の周囲に、窒素ガスで希釈したSiH<sub>4</sub>ガス及びNH<sub>3</sub>ガスの混合ガス、或いは、酸素ガス、水素ガス及びNF<sub>3</sub>ガスの混合ガスを用いて、フッ素含有シリコン膜を形成してもよい。さらに、ポリシリコン膜からなるゲート電極の周囲に、SiH<sub>4</sub>ガスとNF<sub>3</sub>ガスの混合ガスを用いて、フッ素含有シリコン窒化膜を形成してもよい。

【0038】また、図4に示すように、ゲート電極54の側壁にフッ素濃度の異なるシリコン絶縁膜56c～56fを積層させ、これらの積層膜からフッ素をゲート絶縁膜53及びシリコン基板51に導入するようにしてもよい。フッ素濃度を56cから56fの順に高くすることにより、ゲート電極端部近傍のフッ素プロファイルを点線で示すように変化させることができる。

【0039】以上述べたように、本実施形態では、ゲート電極の周囲に形成された絶縁膜からフッ素をゲート絶縁膜及びゲート絶縁膜との界面近傍のシリコン基板に導入することにより、ゲート電極の中央付近に対応した領域よりもゲート電極の端部付近に対応した領域により多くのハロゲン元素を導入することができる。したがって、絶縁膜中のフッ素濃度或いはフッ素を拡散させる際の熱処理条件を適当に制御することにより、所望のフッ素濃度及びフッ素プロファイルを有するゲート絶縁膜及びチャネル領域の形成を行うことが可能となる。

【0040】(実施形態2)次に、本発明の第2の実施形態に係るMISトランジスタの製造方法について説明する。

【0041】図5(a)～図7(1)は、本実施形態の第1の製造工程例を示した工程断面図である。

【0042】まず、例えば面方位(100)、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の選択酸化法によって厚さ0.

6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する(図5(a))。

【0043】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜(シリコン酸化膜)4を形成し、さらにゲート電極として厚さ200nmの多結晶シリコン膜5を形成する(図5(b))。

【0044】次に、レジストマスク8aを用いて、pチャネルMOSFETを形成しようとする領域のゲート部及びnチャネルMOSFETを形成しようとする領域の全面をマスクする。続いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングして、pチャネルMOSFET領域のゲート電極5aを形成する(図5(c))。

【0045】次に、レジストマスクを除去した後、BF<sub>3</sub>イオン6を例えば加速電圧30keVで $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入し、pチャネルMOSFET側に拡散層領域10aを形成する。このとき、pチャネルMOSFETの多結晶シリコン膜及びnチャネルMOSFET領域の多結晶シリコン膜中にもBF<sub>3</sub>イオンが注入される(図5(d))。

【0046】次に、レジストマスク8bを用いて、nチャネルMOSFETを形成しようとする領域のゲート部及びpチャネルMOSFETを形成しようとする領域の全面をマスクする。続いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングして、nチャネルMOSFET領域のゲート電極5bを形成する(図6(e))。

【0047】次に、レジストマスク8bを除去した後、再度pチャネル領域のみレジスト8cでマスクする。続いて、全面に砒素イオン又はリンイオン7を、例えば加速電圧30keVで $1 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、nチャネルMOSFET側に拡散層領域10bを形成する。このとき、nチャネルMOSFET領域の多結晶シリコン膜5b中にも上記イオンが注入される(図6(f))。

【0048】次に、LP-CVD法を用いて、ゲート電極5a及び5bの側壁に、厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成する。この側壁絶縁膜は、例えば全面に厚さ10nmのシリコン窒化膜をCVD法により堆積した後、異方性ドライエッチングすることによって得られる(図6(g))。

【0049】次に、レジストマスク8dを用いてnチャネルMOSFET領域をマスクし、砒素イオン9を例えば加速電圧20keVで $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、p型のソース・ドレイン拡散層11aを形成する。このとき、pチャネルMOSFET領域の多結晶シリコン膜5a中にも砒素イオンが注入される。このイオン注入工程では、上述したBF<sub>3</sub>のイオン注入工程の際に、

多結晶シリコン表面及び基板表面がアモルファス化するので、硼素イオンの飛程を小さくできる(図6(h))。

【0050】次に、pチャネルMOSFET領域をレジスト8eでマスクし、硼素イオン又はリンイオン7を、例えば50keVで $3 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、n型のソース・ドレイン拡散層11bを形成する。このとき、nチャネルMOSFET領域の多結晶シリコン膜5b中にも上記イオンが注入される。レジストマスクを除去した後、基板を窒素雰囲気中で950℃、1分間熱処理し、各ゲート電極中のドーパント及びソース・ドレイン拡散層中のドーパントを活性化させる。このとき、各ゲート電極5a及び5b中にBF<sub>3</sub>イオンとして注入されたフッ素は、熱処理によって各ゲート酸化膜4中に拡散する(図7(i))。

【0051】次に、全面に厚さ25nmのチタン薄膜、厚さ50nmのチタンナイトライド薄膜をスパッタ法により順次堆積する。続いて、窒素雰囲気中、700℃で1分間の熱処理を行い、チタン薄膜をすべて多結晶シリコン(ゲート電極)及びシリコン基板と反応させ、ゲート電極及びソース・ドレイン拡散層領域上にもチタンシリサイド膜13を形成する。その後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液によって、チタンナイトライド膜13及び絶縁膜上の未反応のチタン薄膜を剥離する(図7(j))。

【0052】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開孔する(図7(k))。

【0053】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターンニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する(図7(l))。

【0054】なお、本例ではフッ素をゲート電極中に導入するのに用いたイオン種をBF<sub>3</sub>としているが、これに限定されるものではなく、例えばシリコンのフッ化物イオン、硼素やリンのフッ化物イオン、或いはフッ素を含有する硼素やリンの化合物イオンを用いてもよい(以下の他の製造工程例でも同様)。

【0055】図8(a)～図11(m)は、本実施形態の第2の製造工程例を示した工程断面図である。

【0056】まず、例えば面方位(100)、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の実酸法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する(図8(a))。

【0057】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜(シリコン酸化膜)4を形成し、さらにゲート電極として厚さ200nmの多結晶シリコン膜5を形成する(図8(b))。

【0058】次に、シリコン基板全面にBF<sub>3</sub>イオン6を、例えば30keVでドーザ量 $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入する。その後、窒素雰囲気中で例えば850℃、30分間熱処理を行う。このとき、多結晶シリコン中にBF<sub>3</sub>イオンとして注入されたフッ素は、ゲート酸化膜4中に熱拡散する(図8(c))。

【0059】次に、レジストマスク8aを用いて、pチャネルMOSFETを形成しようとする領域のゲート部及びnチャネルMOSFETを形成しようとする領域の全面をマスクする。続いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングして、pチャネルMOSFET領域のゲート電極5aを形成する(図8(d))。

【0060】次に、BF<sub>3</sub>イオン6を例えば加速電圧30keVで $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入することにより、pチャネルMOSFET側に拡散層領域10aを形成する(図9(e))。

【0061】次に、レジストマスクを除去した後、nチャネルMOSFETのゲート部及びpチャネルMOSFET領域の全面をレジストマスク8bで覆う。続いて、反応イオンエッチング法により多結晶シリコン膜をエッチングして、nチャネルMOSFET領域のゲート電極5bを形成する(図9(f))。

【0062】次に、レジストマスクを除去した後、再度pチャネル領域のみをレジスト8cでマスクする。続いて、全面に硼素イオン又はリンイオン7を、例えば加速電圧30keVで $1 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、nチャネルMOSFET側に拡散層領域10bを形成する。このとき、nチャネルMOSFET領域の多結晶シリコン膜5b中にも上記イオンが注入される(図9(g))。

【0063】次に、LP-CVD法を用いて厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成する(図10(h))。

【0064】次に、レジストマスク8dを用いて、nチャネルMOSFET領域をマスクする。続いて、硼素イオン9を、例えば加速電圧20keVで、 $3 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、p型のソース・ドレイン拡散層11aを形成する。このとき、pチャネルMOSFET領域の多結晶シリコン膜5a中にも硼素イオンが注入される。このイオン注入工程では、上述したBF<sub>3</sub>のイオン注入工程の際に、多結晶シリコン表面及び基板表面がアモルファス化するので、硼素イオンの飛程を小さくできる(図10(i))。

【0065】次に、pチャネルMOSFET領域をレジスト8eでマスクし、続いて硼素イオン又はリンイオン



7を、例えば40keVで、 $3 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、n型のソース・ドレイン拡散層11bを形成する。このとき、nチャネルMOSFET領域の多結晶シリコン膜5b中にも上記イオンが注入される。次に、基板を窒素雰囲気中で950℃、1分間熱処理し、各ゲート電極中のドーパント及び各ソース・ドレイン拡散層中のドーパントを活性化させる。このとき、各ゲート電極5a及び5b中にBF<sub>3</sub>イオンとして注入されたフッ素は、熱処理によって各ゲート酸化膜中に拡散する(図10(j))。

【0066】次に、全面に厚さ25nmのチタン薄膜、厚さ50nmのチタンナイトライド薄膜をスパッタ法により順次堆積する。続いて、窒素雰囲気中、700℃で1分間の熱処理を行い、チタン薄膜をすべて多結晶シリコン(ゲート電極)及びシリコン基板と反応させ、ゲート電極及びソース・ドレイン拡散層領域上にもチタンシリサイド膜13を形成する。その後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液によって、チタンナイトライド膜13及び絶縁膜上の未反応のチタン薄膜を剥離する(図11(k))。

【0067】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開孔する(図11(l))。

【0068】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをバタニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する(図11(m))。

【0069】なお、本例ではフッ素をゲート電極中に導入するのに用いたイオン種をBF<sub>3</sub>としているが、これに限定されるものではなく、例えばシリコンのフッ化物イオン、砒素やリンのフッ化物イオン、或いはフッ素を含有する砒素やリンの化合物イオンを用いてもよい。また、pチャネルMOSFET領域の拡散層10aの形成にBF<sub>3</sub>イオンを用いたが、砒素を低加速電圧、例えば5keVでイオン注入してもよい。この場合、ソース・ドレイン拡散層から過剰なフッ素がゲート酸化膜中に導入されないため、高い信頼性のゲート酸化膜を得ることができる。

【0070】図12(a)～図14(k)は、本実施形態の第3の製造工程例を示した工程断面図である。

【0071】まず、例えば面方位(100)、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の変換酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する(図12(a))。

【0072】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜(シリコン酸化膜)4を形成し、さらにゲート電極として厚さ200nmの多結晶シリコン膜5を形成する(図12(b))。

【0073】次に、レジストマスク(図示せず)を用いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングし、nチャネル及びpチャネルMOSFETのゲート電極5a及び5bを形成する(図12(c))。

10 【0074】次に、基板全面にBF<sub>3</sub>イオン6を、例えば30keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入する。その後、窒素雰囲気中において例えば850℃で30分間熱処理を行う。このとき、多結晶シリコン膜中にBF<sub>3</sub>イオンとして注入されたフッ素は、ゲート酸化膜4中に熱拡散する。また、このとき熱処理を行わず、後の工程でゲート電極の多結晶シリコン中のドーパント及びソース・ドレイン拡散層のドーパントを活性化するための熱処理と同時に熱拡散を行ってもよい(図12(d))。

20 【0075】次に、レジストマスク8aを用いてpチャネルMOSFET領域をマスクする。続いて、砒素イオン或いはリンイオン7を、例えば加速電圧30keVで $1 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、nチャネルMOSFET側に拡散層領域10bを形成する。このとき、nチャネルMOSFETのゲート電極中にも上記イオンが注入される(図13(e))。

【0076】次に、LP-CVD法を用いて、各ゲート電極の側壁に厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成する(図13(f))。

30 【0077】次に、レジストマスク8bを用いて、nチャネルMOSFET領域をマスクする。続いて、砒素イオン9を例えば加速10keVで $5 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、pチャネルMOSFET側に拡散層領域11aを形成する。このとき、pチャネルMOSFETのゲート電極中にも砒素イオンが注入される(図13(g))。

40 【0078】次に、レジストマスク8bを除去した後、レジストマスク8cを用いてpチャネルMOSFET領域をマスクする。続いて、砒素イオン又はリンイオン7を、例えば加速電圧30keVで $5 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、nチャネルMOSFET側に拡散層領域11bを形成する。このとき、nチャネルMOSFETのゲート電極中にも上記イオンが注入される。次に、レジストを剥離した後、基板を窒素雰囲気中で950℃、1分間熱処理し、各ゲート電極5a及び5b中のドーパント及び各ソース・ドレイン拡散層中のドーパントを活性化させる。このとき、各ゲート電極中にBF<sub>3</sub>イオンとして注入されたフッ素は、熱処理によって各ゲート酸化膜中に拡散する(図13(h))。

50 【0079】次に、全面に厚さ25nmのチタン薄膜、

厚さ50nmのチタンナイトライド薄膜をスパッタ法により順次堆積する。続いて、窒素雰囲気中、700℃で1分間の熱処理を行い、チタン薄膜をすべて多結晶シリコン（ゲート電極）及びシリコン基板と反応させ、ゲート電極及びソース・ドレイン拡散層領域上にのみチタンシリサイド膜13を形成する。その後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液によって、チタンナイトライド膜13及び絶縁膜上の未反応のチタン薄膜を剥離する（図14（i））。

【0080】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する（図14（j））。

【0081】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをバタニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する（図14（k））。

【0082】図15（a）～図17（i）は、本実施形態の第4の製造工程例を示した工程断面図である。

【0083】まず、例えば面方位（100）、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の変換酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する。（図15（a））。

【0084】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜（シリコン酸化膜）4を形成し、さらにゲート電極として厚さ200nmの多結晶シリコン膜5を形成する（図15（b））。

【0085】次に、レジストマスク8aを用いて、pチャネルMOSFETを形成しようとする領域をマスクし、砒素又はリンイオン7をイオン注入する（図15（c））。このとき、砒素或いはリンイオンはnチャネルMOSFET形成領域の多結晶シリコン膜5にのみ注入される。

【0086】次に、レジスト膜を除去した後、基板全面にBF<sub>3</sub>イオン6を、例えば30keVでドーズ量5×10<sup>14</sup>cm<sup>-2</sup>イオン注入する。その後、窒素雰囲気中において、例えば850℃で30分間熱処理を行う。このとき、多結晶シリコン膜5中にBF<sub>3</sub>イオンとして注入されたフッ素は、ゲート酸化膜中に熱拡散する。また、このとき熱処理を行わず、後の工程でゲート電極となる多結晶シリコン膜中のドーパント及びソース・ドレイン拡散層中のドーパントを活性化する熱処理工程で熱拡散を行ってもよい（図16（d））。

【0087】次に、レジストマスク8bを用いてnチャネルMOSFET領域をマスクする。続いて、砒素イオ

ン9を例えば加速電圧10keVで3×10<sup>13</sup>cm<sup>-2</sup>イオン注入する（図16（e））。

【0088】次に、レジスト8cでゲート部をマスクし、反応性イオンエッチング法により多結晶シリコン膜をエッチングし、ゲート電極5a及び5bを形成する（図16（f））。

【0089】次に、ゲート電極の側壁に厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成するとともに、pチャネル及びnチャネルMOSFETのそれぞれのソース・ドレイン拡散層10a、11a及び10b、11bを形成する（図17（g））。

【0090】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する（図17（h））。

【0091】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをバタニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する（図17（i））。

【0092】図18（a）～図20（j）は、本実施形態の第5の製造工程例を示した工程断面図である。

【0093】まず、例えば面方位（100）、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の変換酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する（図18（a））。

【0094】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜（シリコン酸化膜）4を形成し、さらにゲート電極として厚さ200nmの多結晶シリコン膜5を形成する（図18（b））。

【0095】次に、レジストマスク8aを用いて、pチャネルMOSFETを形成しようとする領域をマスクし、砒素又はリンイオン7をイオン注入する。このとき、砒素又はリンイオン7はnチャネルMOSFET形成領域の多結晶シリコン膜5にのみ注入される（図18（c））。

【0096】次に、レジストマスクを除去した後、レジストマスク8bを用いてnチャネルMOSFET形成領域をマスクし、全面に砒素イオン9を例えば3×10<sup>13</sup>cm<sup>-2</sup>イオン注入する（図18（d））。

【0097】次に、反応性イオンエッチング法で多結晶シリコン膜をエッチングし、nチャネル及びpチャネルMOSFET領域のゲート電極5a及び5bを形成する。続いて、レジストマスク8cでpチャネルMOSFET領域のみマスクし、砒素又はリンイオン7をイオン注入して、n型のソース・ドレイン拡散層10bを形成

する。このとき、nチャネルMOSFET領域のゲート電極5bにも上記イオンが注入される(図19(e))。

【0098】次に、レジストマスクを除去した後、全面にBF<sub>3</sub>イオン6を、例えば30keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入する。その後、窒素雰囲気中において例えば850℃で30分間熱処理を行う。このとき、各ゲート電極5a及び5bにBF<sub>3</sub>イオンとして注入されたフッ素は、ゲート酸化膜中に熱拡散する。また、このとき熱処理を行わず、後の工程でゲート電極となる多結晶シリコン中のドーパント及びソース・ドレイン拡散層のドーパントを活性化する熱処理と同時に熱拡散を行ってもよい(図19(f))。

【0099】次に、各ゲート電極の側壁に厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成する。さらに、pチャネルMOSFET領域にレジストマスク8dを形成し、nチャネルMOSFETのソース・ドレイン拡散層11bを砒素又はリンイオン7のイオン注入で形成する(図19(g))。

【0100】次に、nチャネルMOSFET領域にレジストマスク8eを形成し、pチャネルMOSFETのソース・ドレイン拡散層11aを砒素イオン9のイオン注入で形成する(図20(h))。

【0101】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する(図20(i))。

【0102】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをパターニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する(図20(j))。

【0103】なお、以上説明した第1～第5の製造工程例では、nチャネルMOSFETのゲート電極にはp型不純物(砒素)も含有されることになるが、n型不純物(リン又は砒素)の濃度がp型不純物の濃度よりも高くなるようにn型不純物のイオン注入量を調整すればよい。

【0104】図21(a)～図22(h)は、本実施形態の第6の製造工程例を示した工程断面図である。

【0105】まず、例えば面方位(100)、比抵抗4～6Ωcmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常の選択酸化法によって厚さ0.6μm程度の素子分離絶縁膜2を形成する。続いて、p型ドーパントを高加速エネルギーで選択的にイオン注入し、さらに高温で熱処理することでウェル領域3を形成する(図21(a))。

【0106】次に、熱酸化によって厚さ3～8nmのゲート絶縁膜(シリコン酸化膜)4を形成し、さらにゲ

ト電極として厚さ200nmの多結晶シリコン膜5を形成する。この多結晶シリコン膜5中には、n型導電性不純物としてリン又は砒素が含まれている。これは、多結晶シリコン膜5の形成時にリン又は砒素を含んだ化合物ガスを添加することによって得られる。例えば、シランガス(SiH<sub>4</sub>)にホスフィンガス(PH<sub>3</sub>)或いはアルシランガス(AsH<sub>3</sub>)を混合させ、加熱したシリコン基板に供給すればよい。また、多結晶シリコン膜を形成した後にリン又は砒素を添加するようにしてもよい。例えば、多結晶シリコン膜を堆積した後にオキシ塩化リン(POCl<sub>3</sub>)を用いてリンを拡散させる方法や、イオン注入法によってリンイオンや砒素イオンを導入する方法を用いればよい(図21(b))。

【0107】次に、レジストマスク(図示せず)を用いて、pチャネルMOSFETを形成しようとする領域のゲート部及びnチャネルMOSFETを形成しようとする領域の全面をマスクする。続いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングして、pチャネルMOSFET領域のゲート電極5aを形成する。次に、レジストマスクを除去した後、BF<sub>3</sub>イオン6を例えば加速電圧30keVで $5 \times 10^{14} \text{ cm}^{-2}$ イオン注入し、pチャネルMOSFET側に拡散層領域10aを形成する。このとき、pチャネルMOSFETの多結晶シリコン膜5a中にもBF<sub>3</sub>イオンが注入される(図21(c))。

【0108】次に、レジストマスク8aを用いて、nチャネルMOSFETを形成しようとする領域のゲート部及びpチャネルMOSFETを形成しようとする領域の全面をマスクする。続いて、反応性イオンエッチング法により多結晶シリコン膜をエッチングして、nチャネルMOSFET領域のゲート電極5bを形成する。続いて、砒素イオン又はリンイオン7を、例えば加速電圧30keVで $1 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、nチャネルMOSFET側に拡散層領域10bを形成する。(図21(d))。

【0109】次に、LP-CVD法を用いて、ゲート電極5a及び5bの側壁に、厚さ10nm程度のシリコン窒化膜からなる側壁絶縁膜12を形成する。この側壁絶縁膜は、例えば全面に厚さ10nmのシリコン窒化膜をCVD法により堆積した後、異方性ドライエッチングすることによって得られる。次に、レジストマスク8bを用いてnチャネルMOSFET領域をマスクし、砒素イオン9を例えば加速電圧20keVで $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、p型のソース・ドレイン拡散層11aを形成する。このとき、pチャネルMOSFET領域の多結晶シリコン膜5a中にも砒素イオンが注入される。このイオン注入工程では、上述したBF<sub>3</sub>のイオン注入工程の際に、多結晶シリコン表面及び基板表面がアモルファス化するので、砒素イオンの飛程を小さくできる(図22(e))。

【0110】次に、pチャネルMOSFET領域をレジスト8cでマスクし、砒素イオン又はリンイオン7を、例えば50keVで $3 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、n型のソース・ドレイン拡散層11bを形成する。このとき、nチャネルMOSFET領域の多結晶シリコン膜5b中にも上記イオンが注入される。レジストマスクを除去した後、基板を窒素雰囲気中で950℃、1分間熱処理し、各ゲート電極中のドーパント及びソース・ドレイン拡散層中のドーパントを活性化させる。このとき、各ゲート電極5a及び5b中にBF<sub>3</sub>イオンとして注入されたフッ素は、熱処理によって各ゲート酸化膜4中に拡散する(図22(f))。

【0111】次に、層間絶縁膜として全面に厚さ300nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する(図22(g))。

【0112】次に、シリコンと銅をそれぞれ例えば0.5%ずつ含有する厚さ800nmのアルミニウム膜を形成した後、これをバターニングしてゲート電極及びソース・ドレイン拡散層に接続される配線16を形成する。その後、450℃で15分間、水素を10%含む窒素雰囲気中で熱処理する(図22(h))。

【0113】以上説明した第6の製造工程例では、nチャネルMOSFETのゲート電極にはp型不純物(砒素)も含有されることになるが、n型不純物(リン又は砒素)の濃度がp型不純物の濃度よりも高くなるようにn型不純物のイオン注入量を調整すればよい。また、pチャネルMOSFETのゲート電極にはn型不純物(リン又は砒素)も含有されることになるが、p型不純物(砒素)の濃度がn型不純物の濃度よりも高くなるようにp型不純物のイオン注入量を調整すればよい。

【0114】なお、本実施形態では、ゲート絶縁膜としてシリコン熱酸化膜を例にあげたが、これに限定されるものではなく、窒素を含有するシリコン酸化膜、シリコン窒化膜でもよい。また、熱酸化のみならず、マイクロ波やレーザーで活性化した酸素を用いて形成された酸化膜等を用いてもよく、さらに高誘電体膜を用いてもよい。

【0115】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0116】

【発明の効果】本発明によれば、ゲート電極の中央付近に対応した領域よりもゲート電極の端部付近に対応した領域により多くのハロゲン元素を導入することができるので、pn接合の逆方向リーク電流の抑制及び界面準位の抑制を効果的に行うことができ、さらに、ゲート絶縁膜の絶縁破壊耐性の向上やストレス誘起電流生成耐性の向上もはかることができる。

【0117】また、本発明によれば、ゲート電極にハロゲン元素化合物の形でハロゲン元素を導入することにより、イオン注入の際に、ハロゲン元素化合物を分解したり、質量分離によってフッ素イオンのみを取り出すといった処理が不要になり、イオン注入工程を短い時間で行うことが可能となる。したがって、ゲート絶縁膜の膜質の改善等、特性や信頼性に優れた半導体素子を生産性よく作製することが可能となる。

【図面の簡単な説明】

10 【図1】本発明の第1の実施形態に係るMISトランジスタの断面構成を示した図。

【図2】本発明の第1の実施形態に係るMISトランジスタの第1の製造方法例について示した工程断面図。

【図3】本発明の第1の実施形態に係るMISトランジスタの第2の製造方法例について示した工程断面図。

【図4】本発明の第1の実施形態に係るMISトランジスタのその他の製造方法例について示した図。

【図5】本発明の第2の実施形態に係るMISトランジスタの第1の製造方法例について示した工程断面図。

20 【図6】本発明の第2の実施形態に係るMISトランジスタの第1の製造方法例について示した工程断面図。

【図7】本発明の第2の実施形態に係るMISトランジスタの第1の製造方法例について示した工程断面図。

【図8】本発明の第2の実施形態に係るMISトランジスタの第2の製造方法例について示した工程断面図。

【図9】本発明の第2の実施形態に係るMISトランジスタの第2の製造方法例について示した工程断面図。

【図10】本発明の第2の実施形態に係るMISトランジスタの第2の製造方法例について示した工程断面図。

30 【図11】本発明の第2の実施形態に係るMISトランジスタの第2の製造方法例について示した工程断面図。

【図12】本発明の第2の実施形態に係るMISトランジスタの第3の製造方法例について示した工程断面図。

【図13】本発明の第2の実施形態に係るMISトランジスタの第3の製造方法例について示した工程断面図。

【図14】本発明の第2の実施形態に係るMISトランジスタの第3の製造方法例について示した工程断面図。

【図15】本発明の第2の実施形態に係るMISトランジスタの第4の製造方法例について示した工程断面図。

40 【図16】本発明の第2の実施形態に係るMISトランジスタの第4の製造方法例について示した工程断面図。

【図17】本発明の第2の実施形態に係るMISトランジスタの第4の製造方法例について示した工程断面図。

【図18】本発明の第2の実施形態に係るMISトランジスタの第5の製造方法例について示した工程断面図。

【図19】本発明の第2の実施形態に係るMISトランジスタの第5の製造方法例について示した工程断面図。

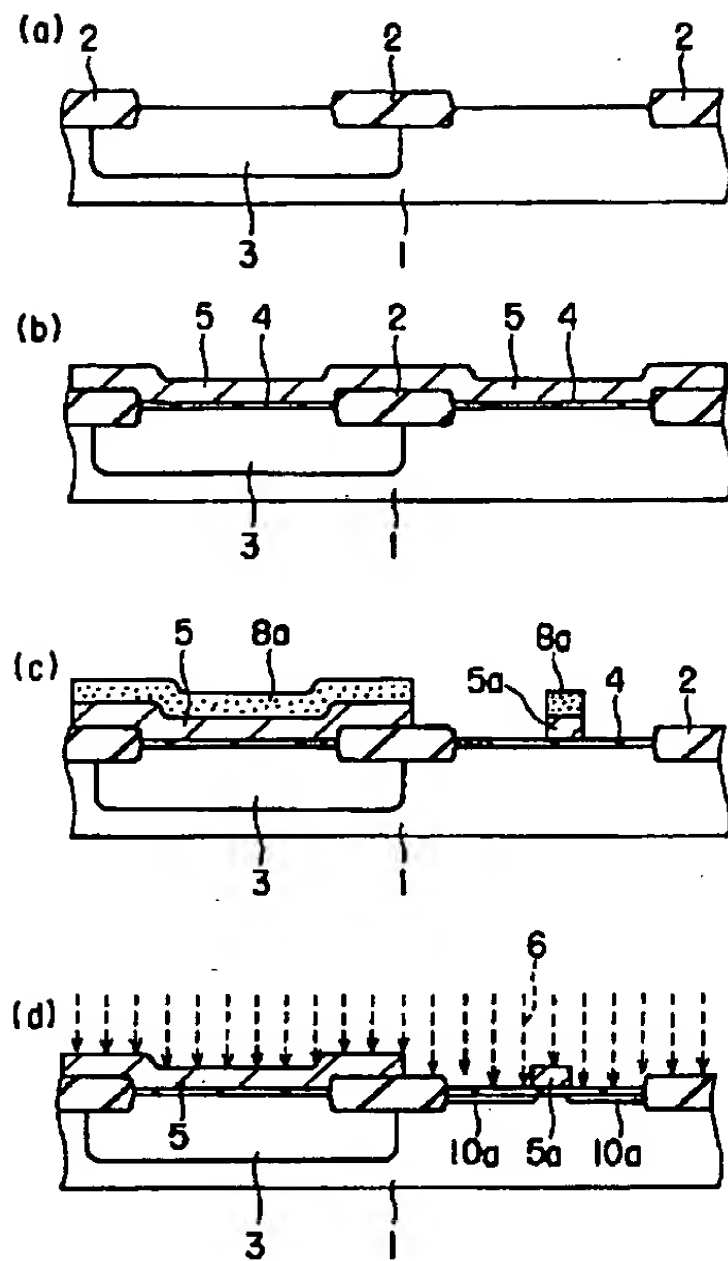
【図20】本発明の第2の実施形態に係るMISトランジスタの第5の製造方法例について示した工程断面図。

50 【図21】本発明の第2の実施形態に係るMISトラン

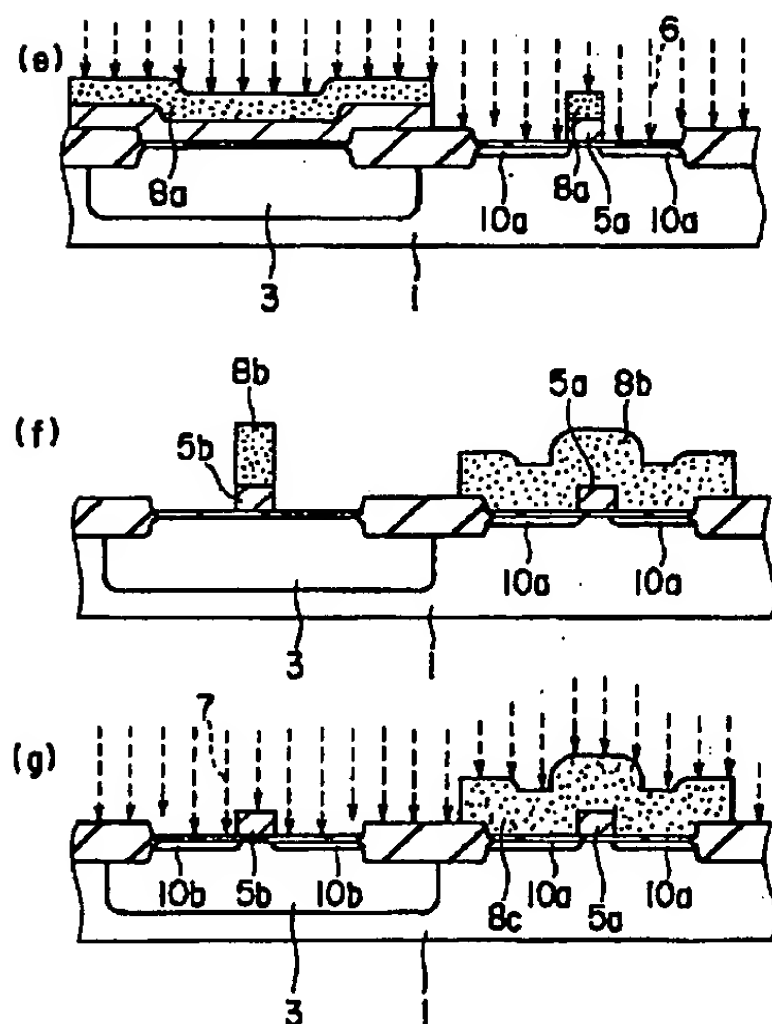




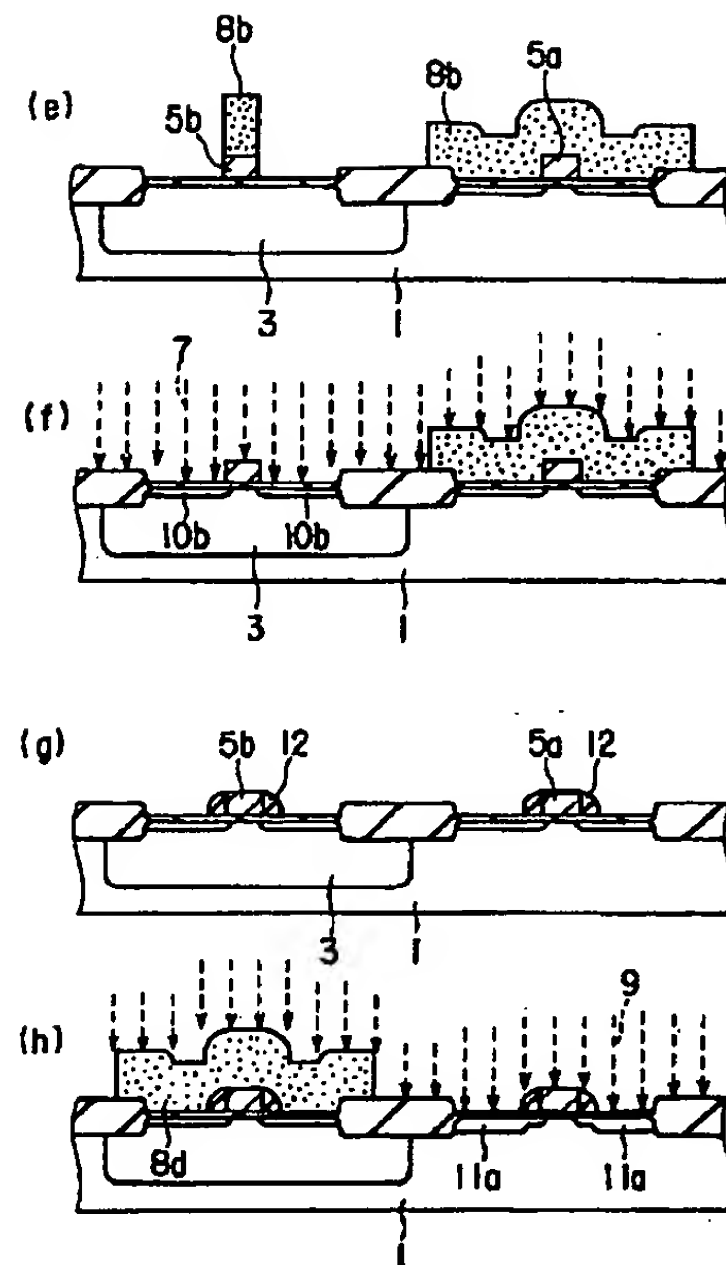
【図5】



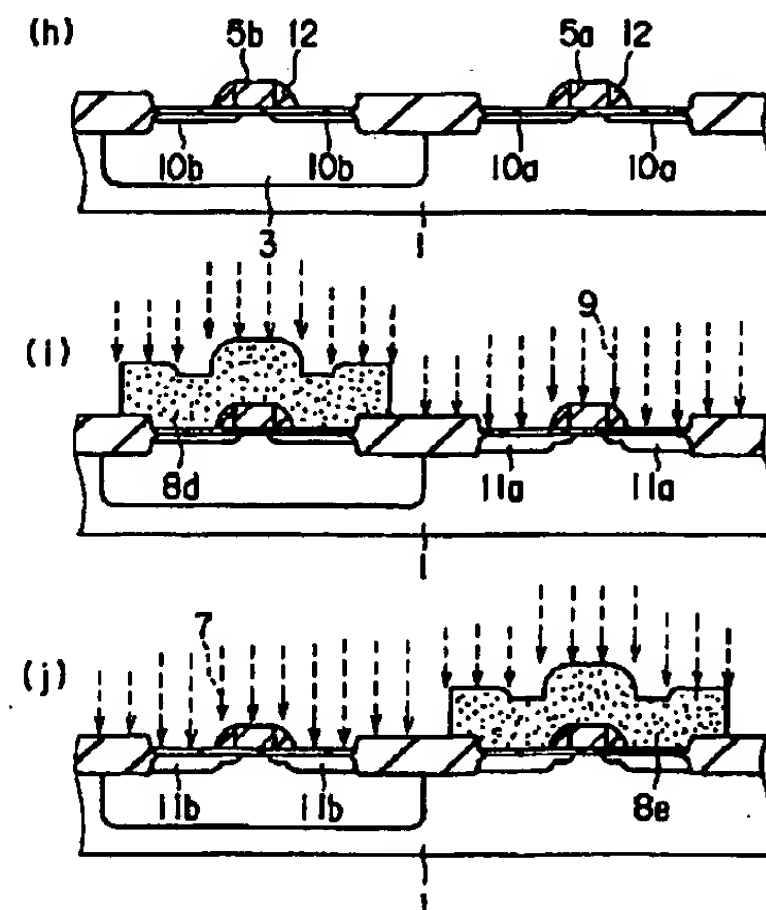
【図9】



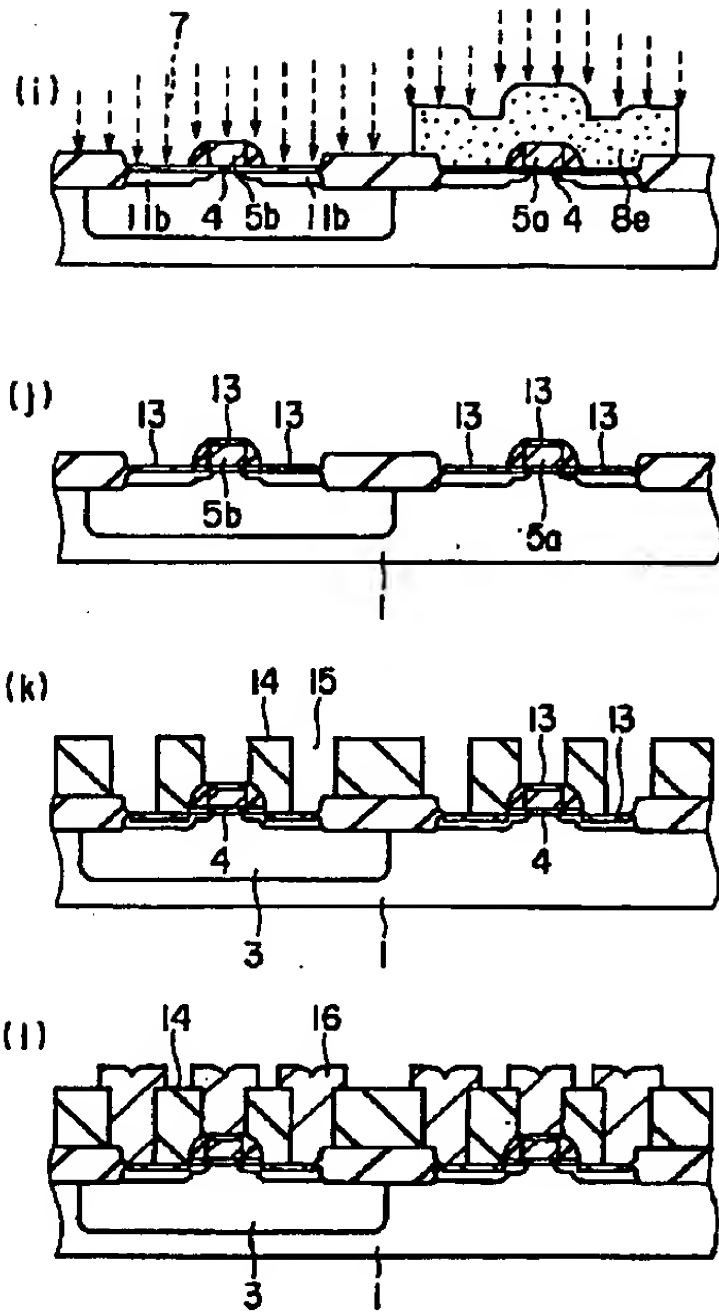
【図6】



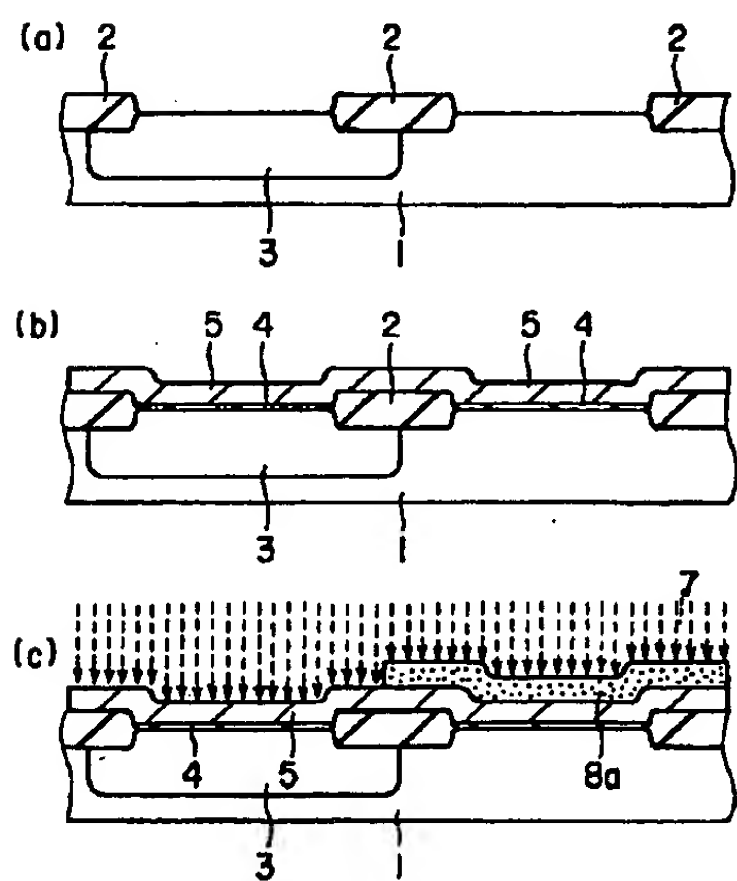
【図10】



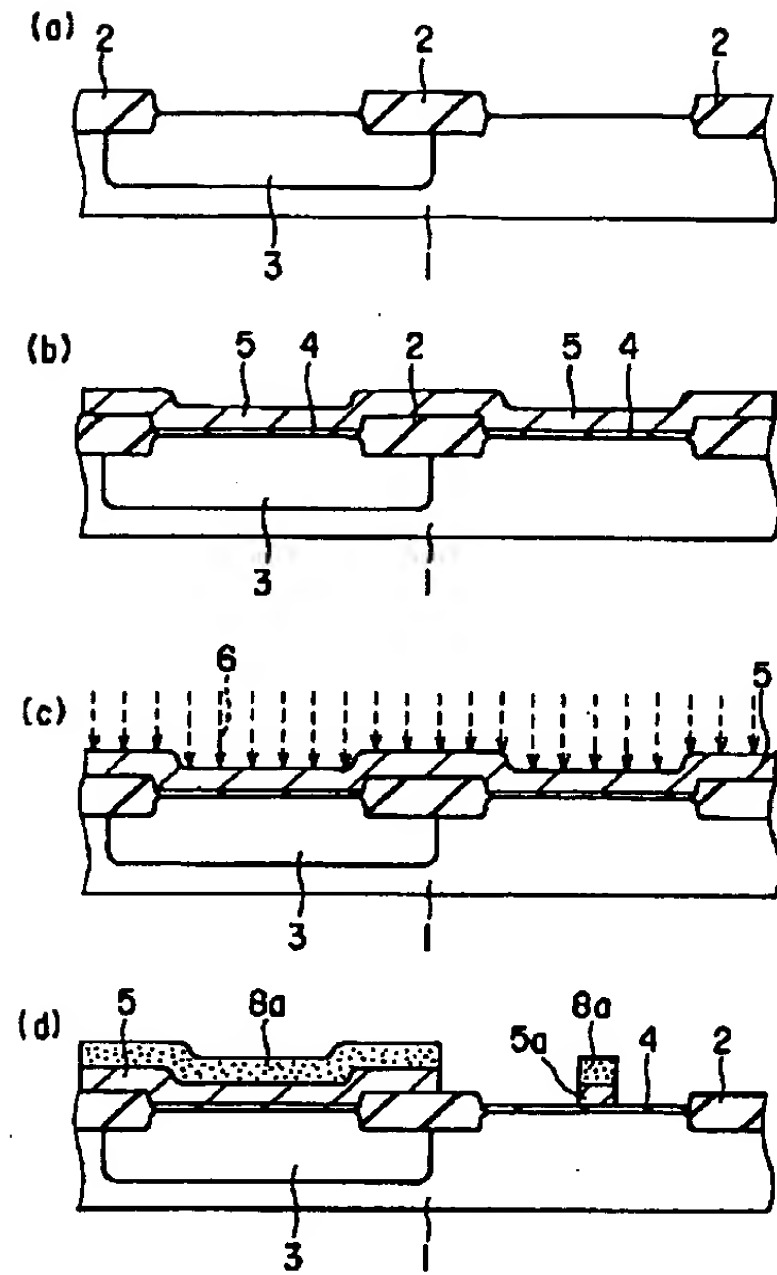
【図7】



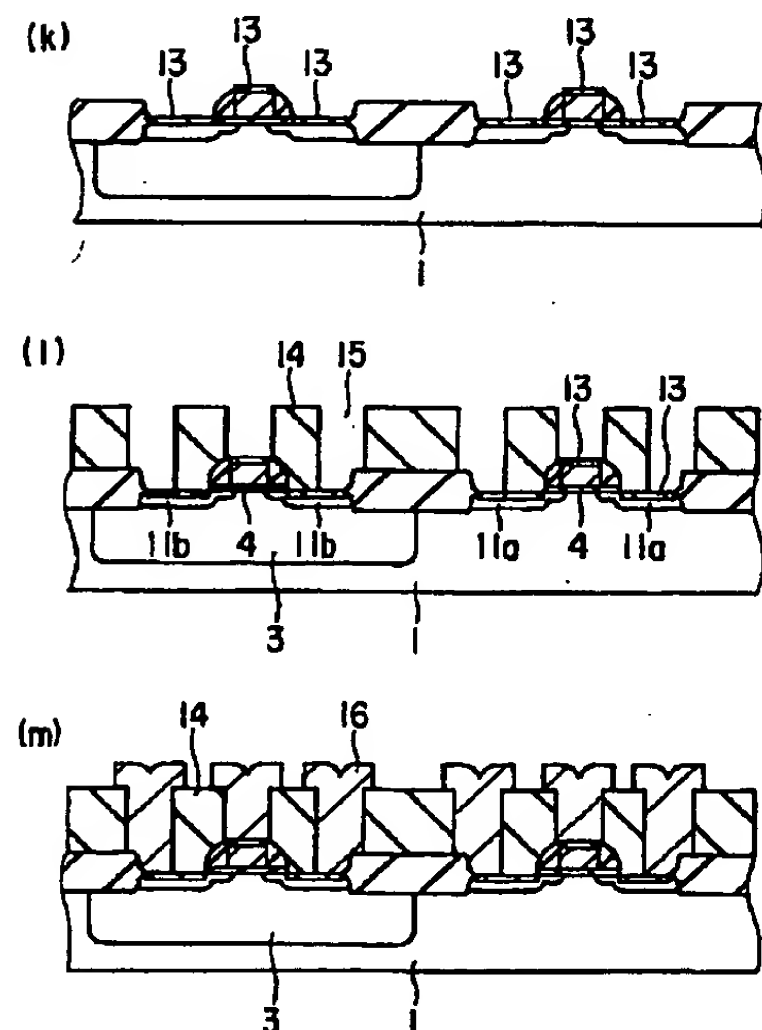
【図15】



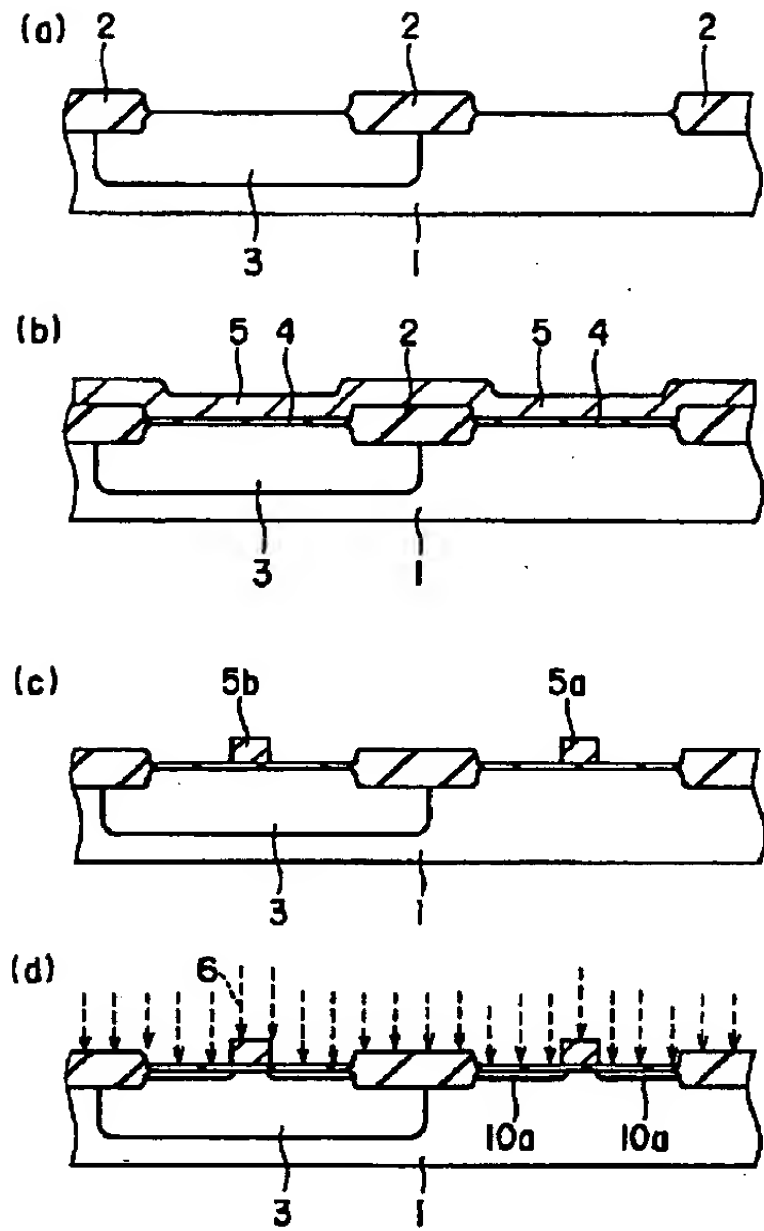
【図8】



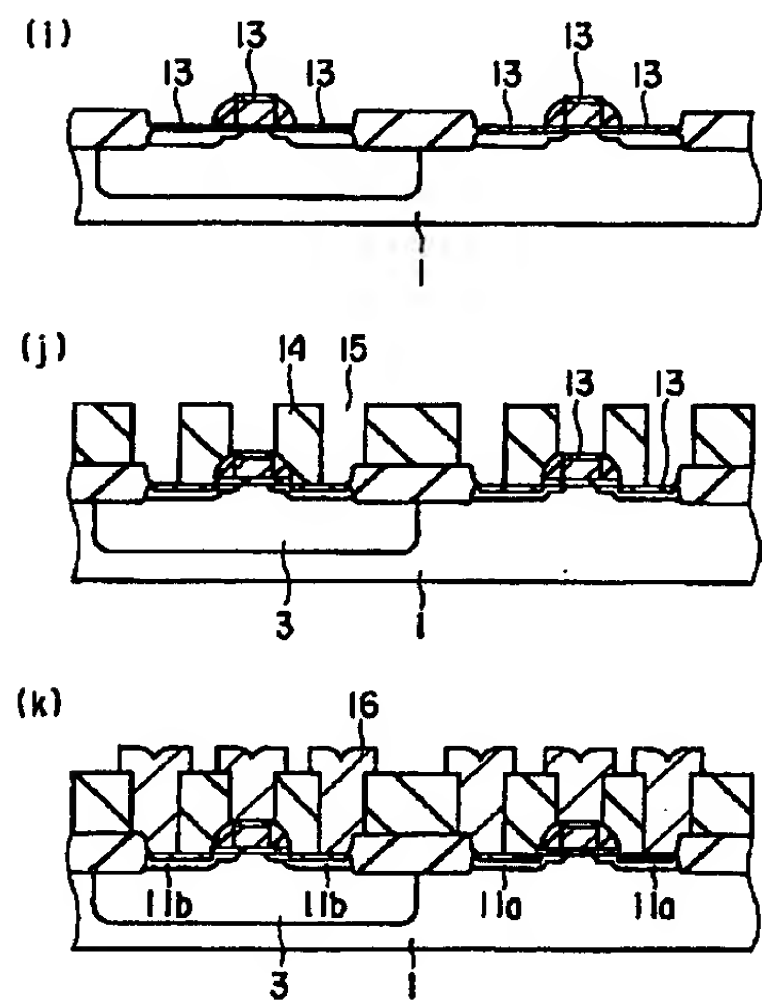
【図11】



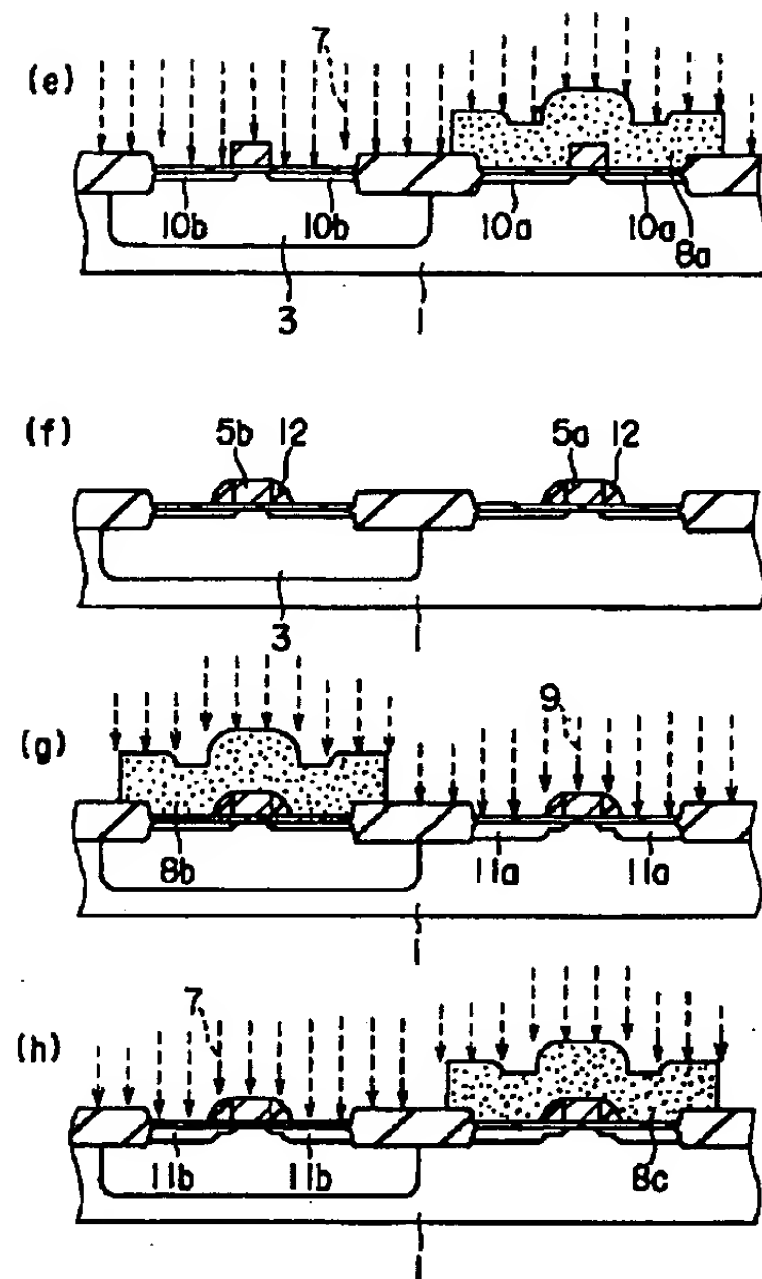
【図12】



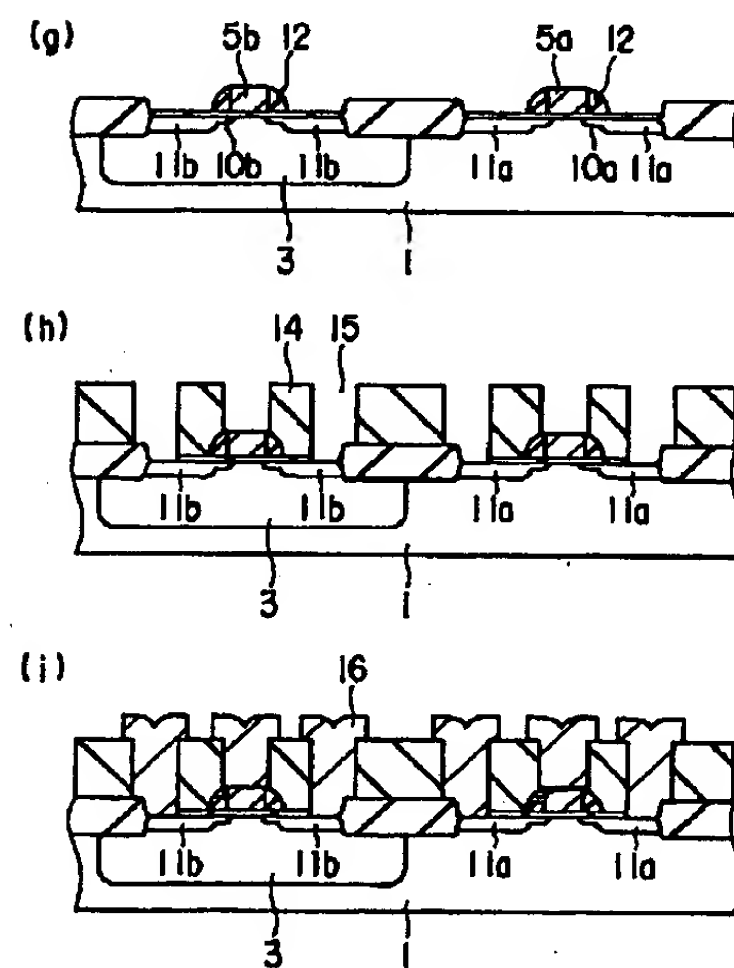
【図14】



【図13】

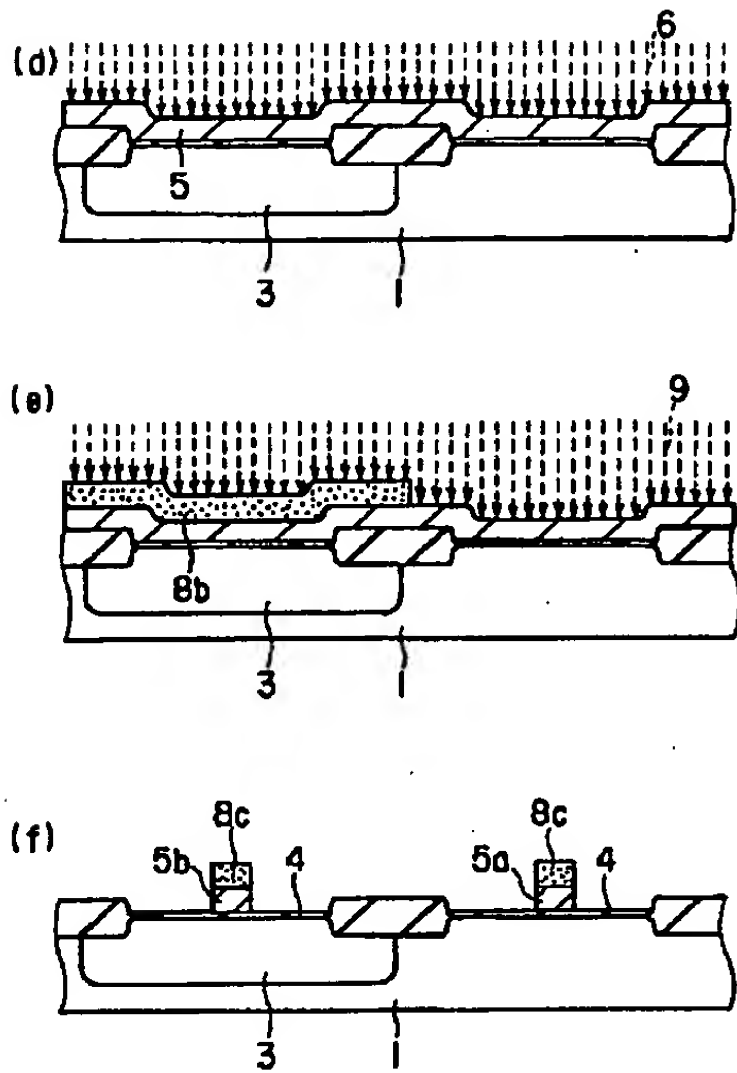


【図17】

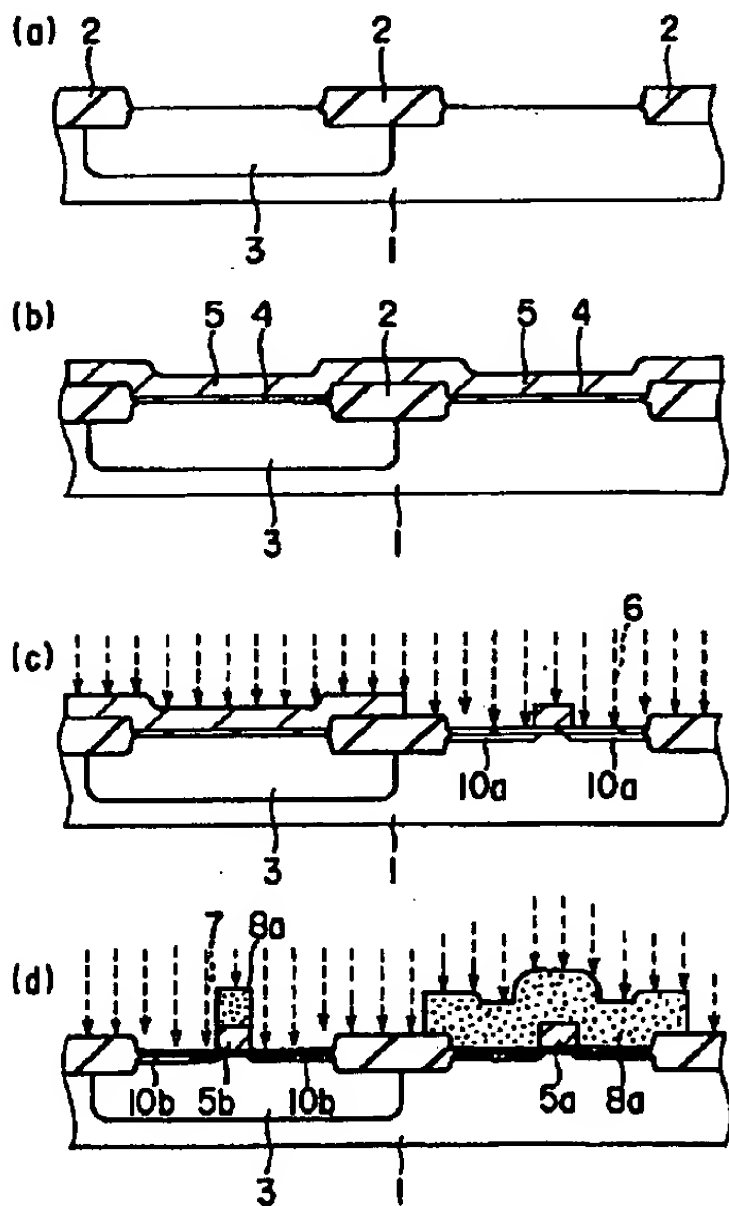




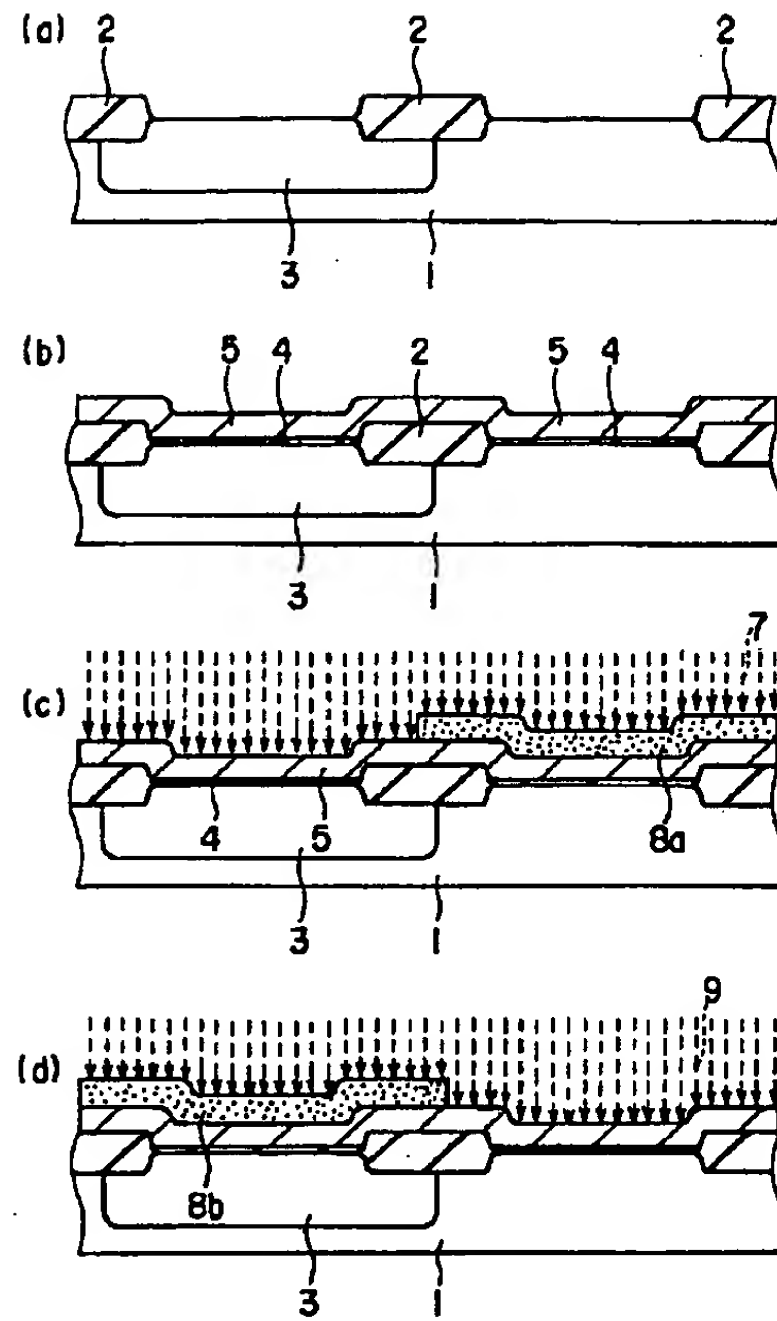
【図16】



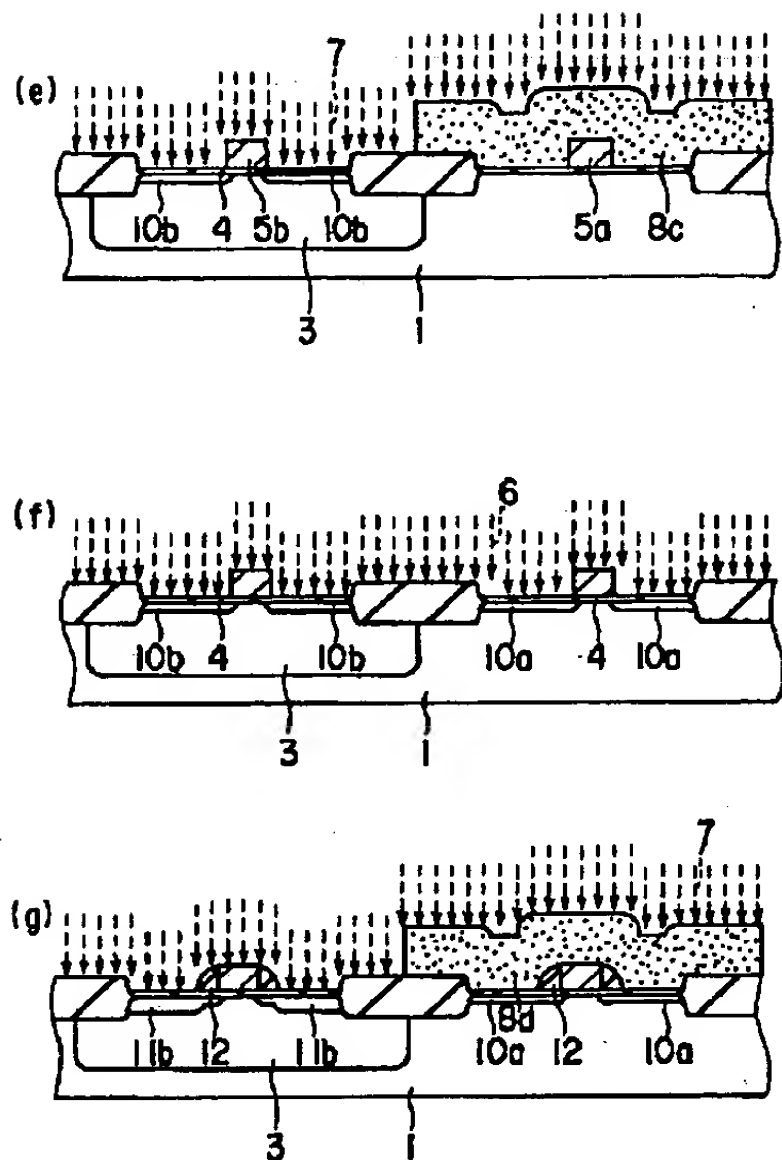
【図21】



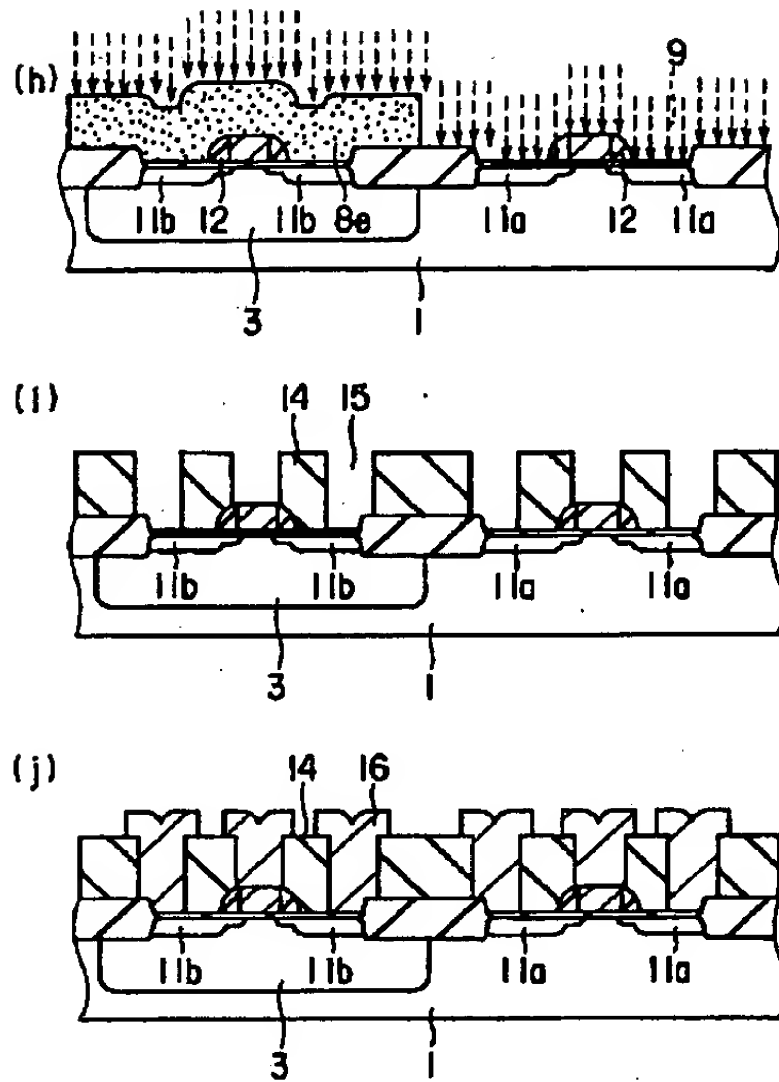
【図18】



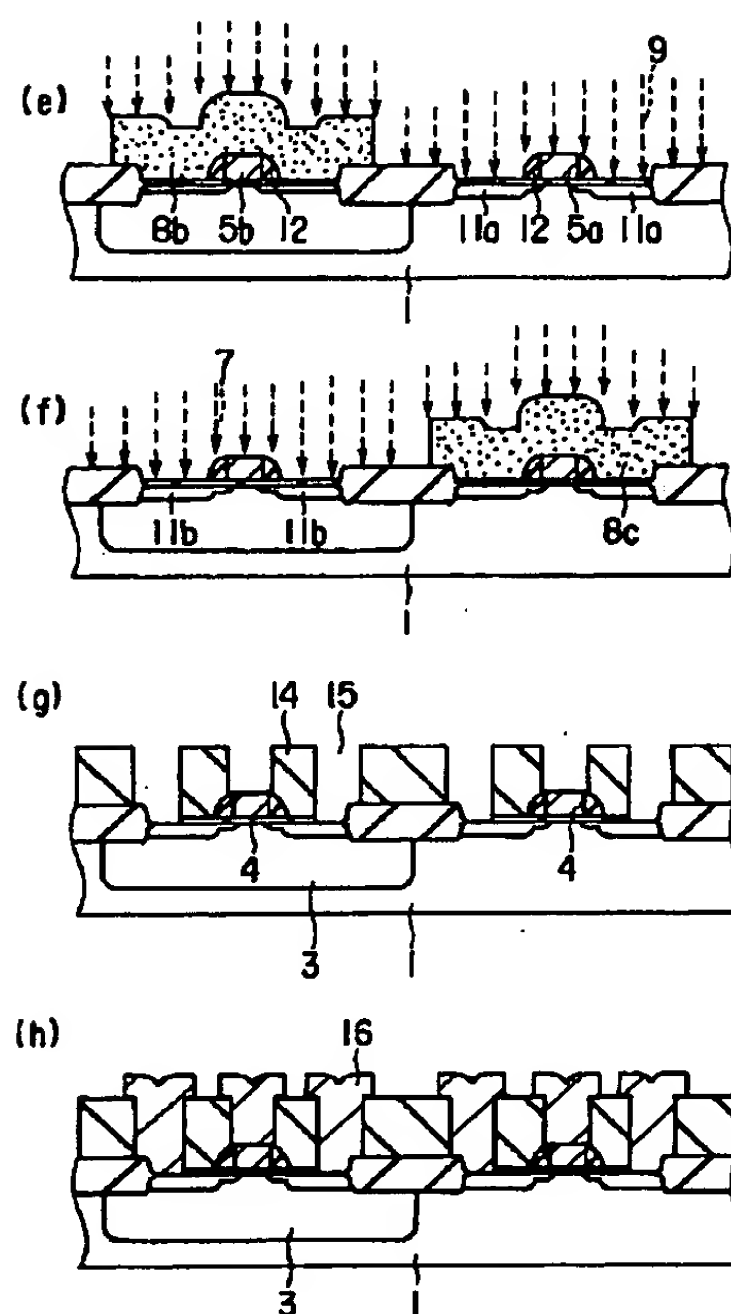
【図19】



【図20】



【図22】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H01L 21/336

識別記号

F I  
H01L 29/78

テマコード (参考)

301S

F ターム (参考) 4M104 AA01 BB01 BB25 CC05 DD04  
 DD37 DD43 DD64 DD79 DD82  
 DD91 DD92 FF14 GG08 GG09  
 GG10 GG16 HH20  
 5F040 DA19 DC01 DC10 EC07 EC13  
 ED03 EF02 EF11 FA03 FA05  
 FA07 FA10 FC02 FC11 FC15  
 FC19 FC21  
 5F048 AA07 AC03 BA01 BB06 BB07  
 BB08 BB09 BB11 BC06 BF02  
 BF06 BF07 DA27